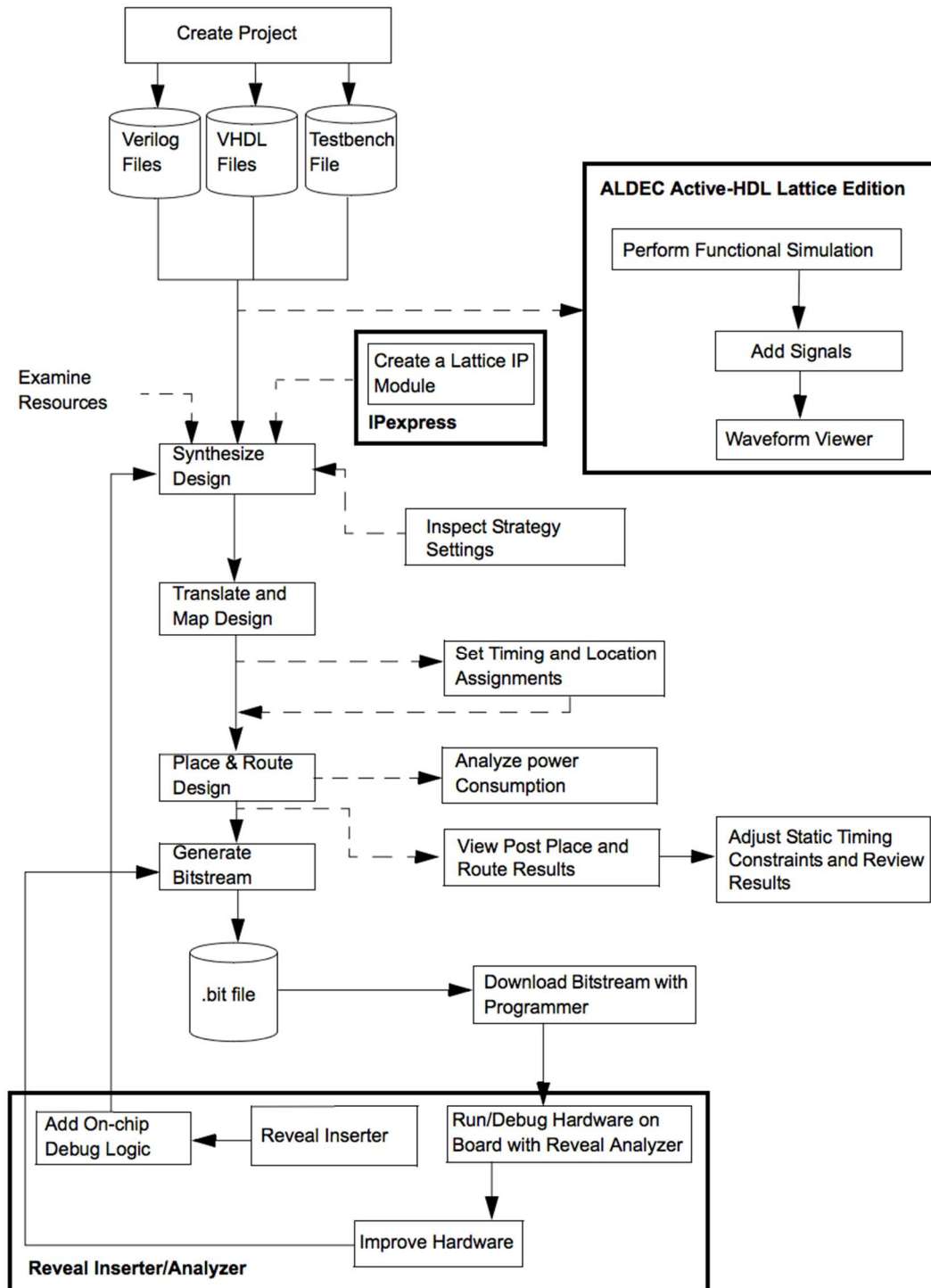


Lab1. STEP Lattice Diamond 使用案例

本章节将带领你使用 Lattice Diamond 软件基于 STEP 开发平台实现一个简单的设计，主要包含三部分：

- 1) 创建工程及设计实现
- 2) 设计功能仿真
- 3) 程序下载

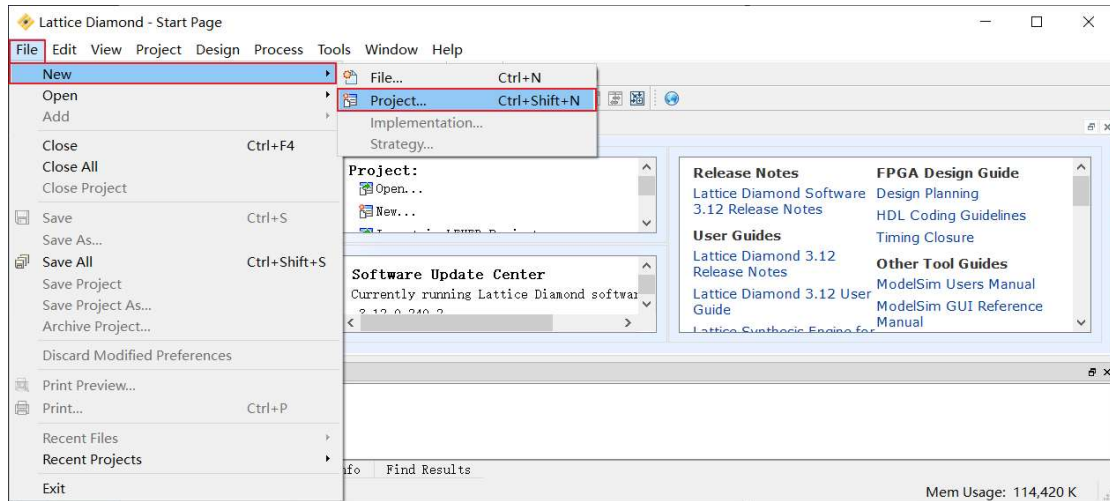
使用 Lattice Diamond 软件实现 FPGA 开发设计，流程参考



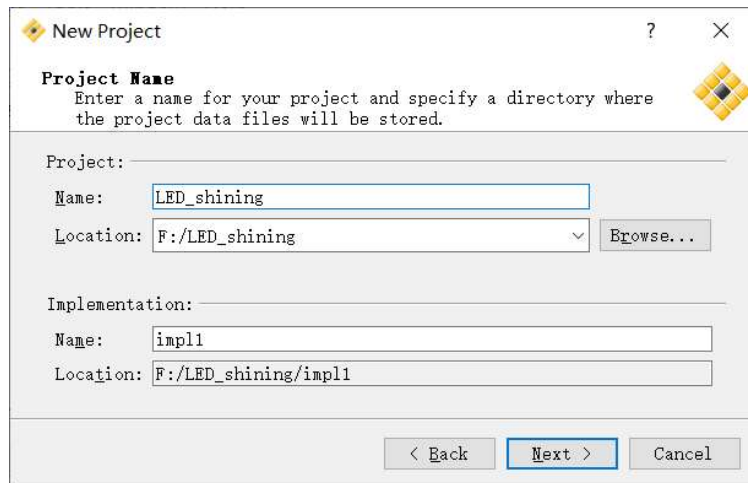
1、创建工程及设计实现

- 1) 双击运行 Diamond 软件，首先新建工程：选择 File → New → Project → Next

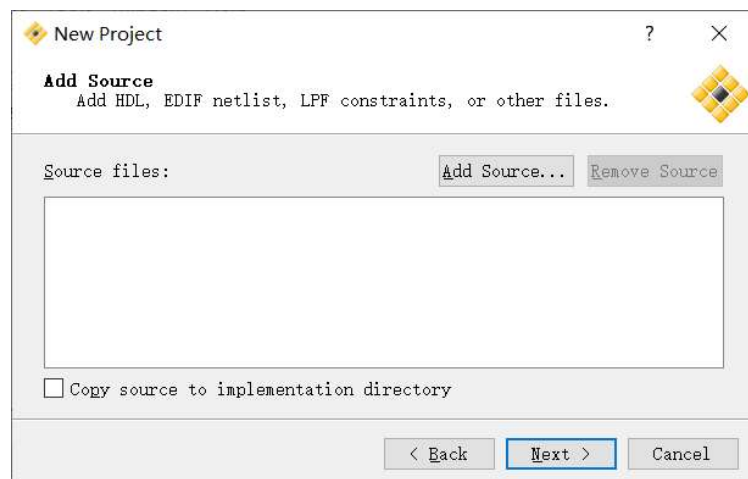
Lab1. STEP Lattice Diamond 使用案例



- 2) 工程命名：我们将新工程命名为 LED_shining，工程目录 F:/LED_shining（注意在工程目录中不要有汉字），然后点击 Next

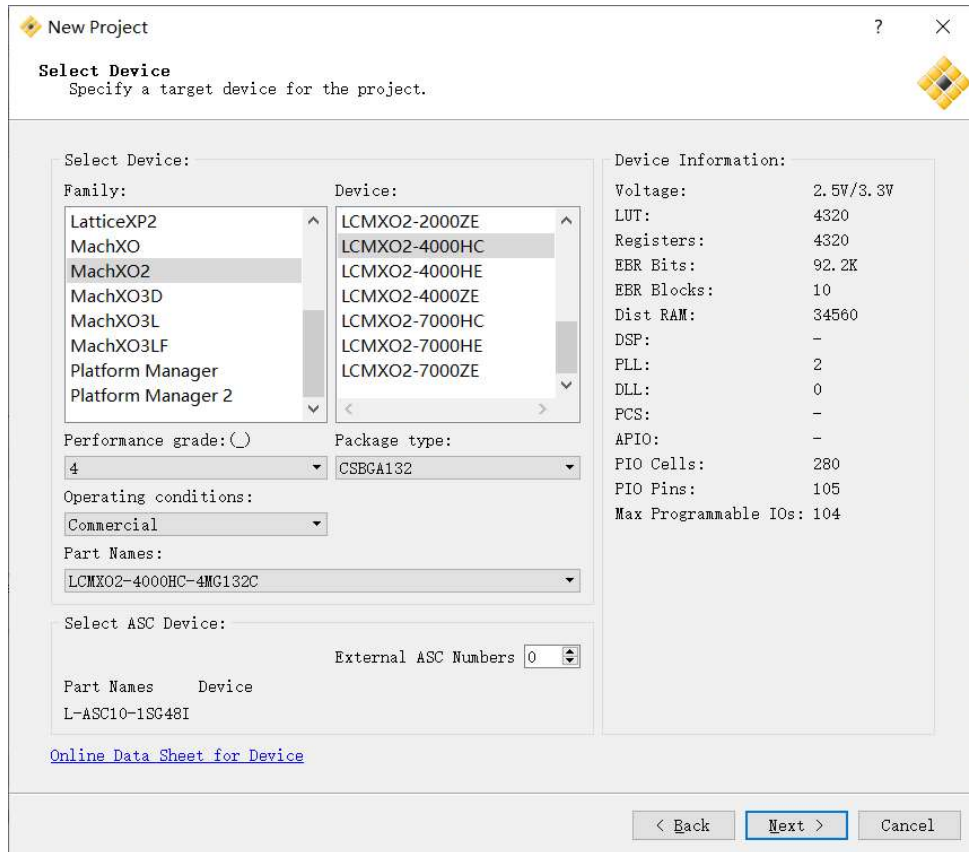


- 3) 添加相关设计文件或约束文件（如果已经有设计文件和约束文件，我们可以选择添加进工程）：这里我们新建工程，没有相关文件，不需添加，直接 Next



- 4) 器件选择：按照 Step FPGA 开发板器件 LCMXO2-4000HC-4MG132C 配置，Next

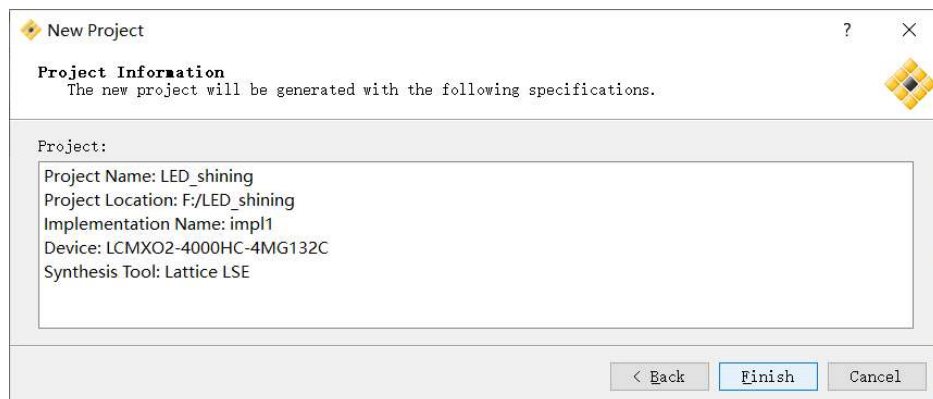
Lab1. STEP Lattice Diamond 使用案例



- 5) 选择综合工具: Synplify Pro (第三方) 和 Lattice LSE (原厂) 都可以, 我们就使用 Lattice LSE, 直接 Next

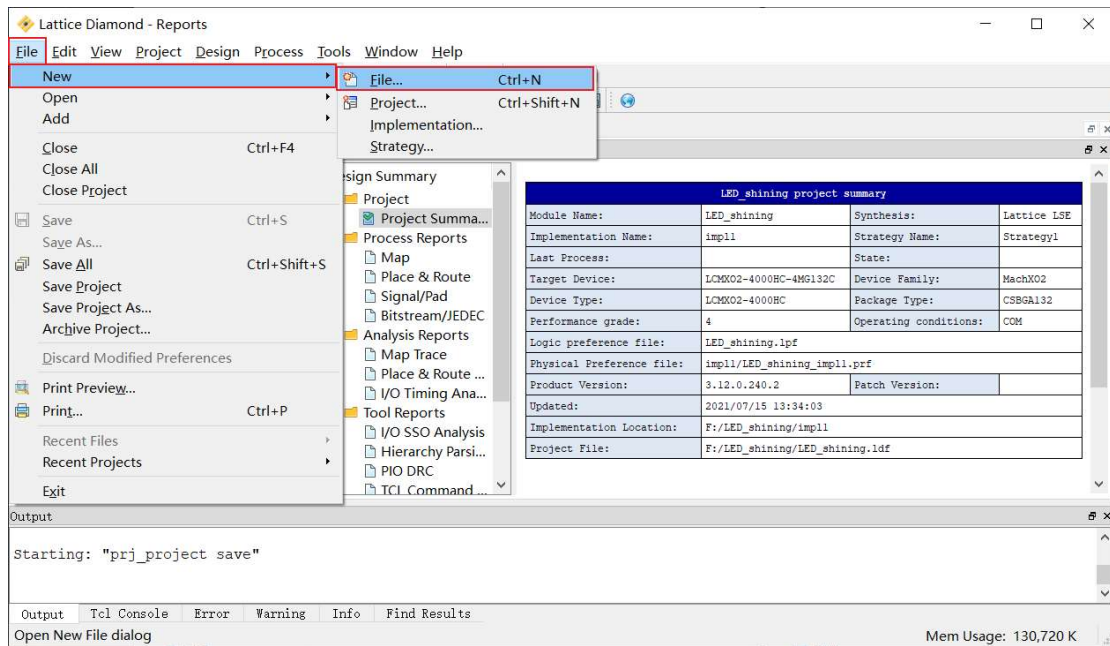


- 6) 工程信息确认: 上面选择的所有信息都在这里, 确认没有问题, 直接 Finish

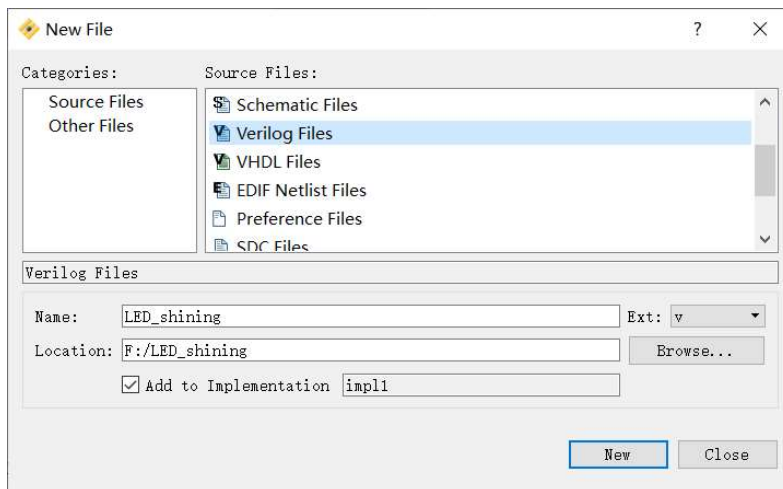


Lab1. STEP Lattice Diamond 使用案例

7) 工程已经建好，我们下面添加设计文件，选择 File → New → File

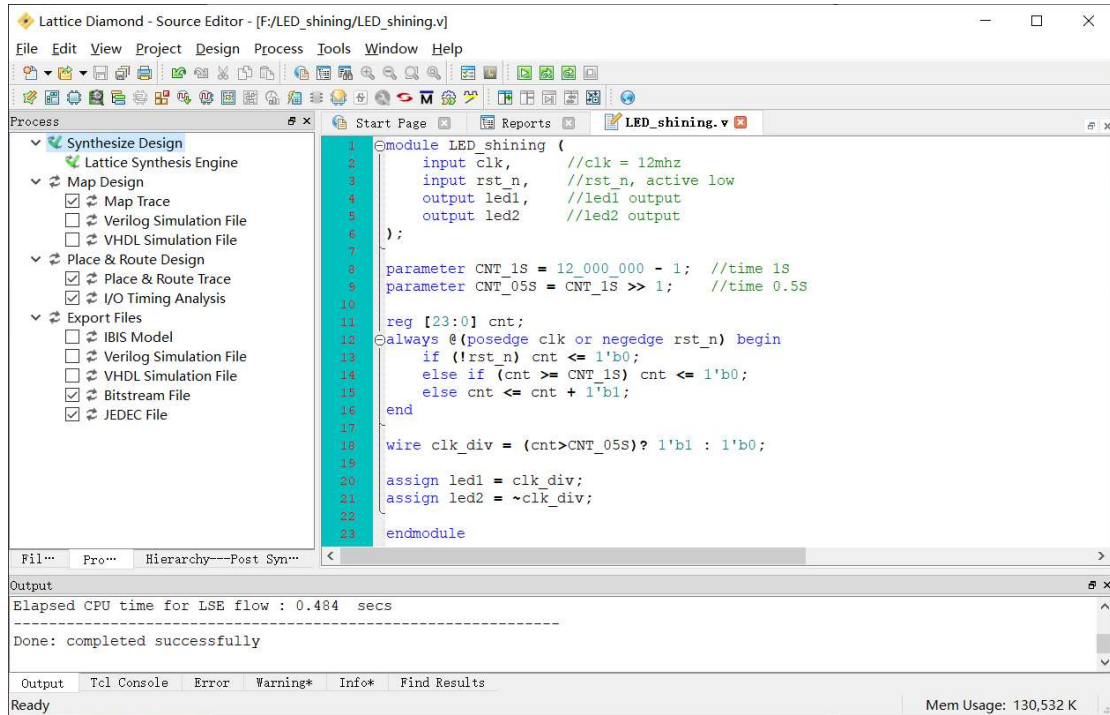


8) 选择 Verilog Files (选择自己使用的硬件描述语言), Name 填写 LED_shining, 然后点击 New, 这样我们就创建了一个新的设计文件 LED_shining.v, 然后我们就可以在设计文件中进行编程了



9) 程序源码已经准备好，如下，将代码复制到设计文件 LED_shining.v 中，并保存。
10) 程序编写完成，需要综合，在软件左侧 Process 栏，选择 Process，双击 Synthesis Design，对设计进行综合，综合完成后 Synthesis Design 显示绿色对勾（如果显示红色叉号，说明代码有问题，根据提示修改代码），如图

Lab1. STEP Lattice Diamond 使用案例

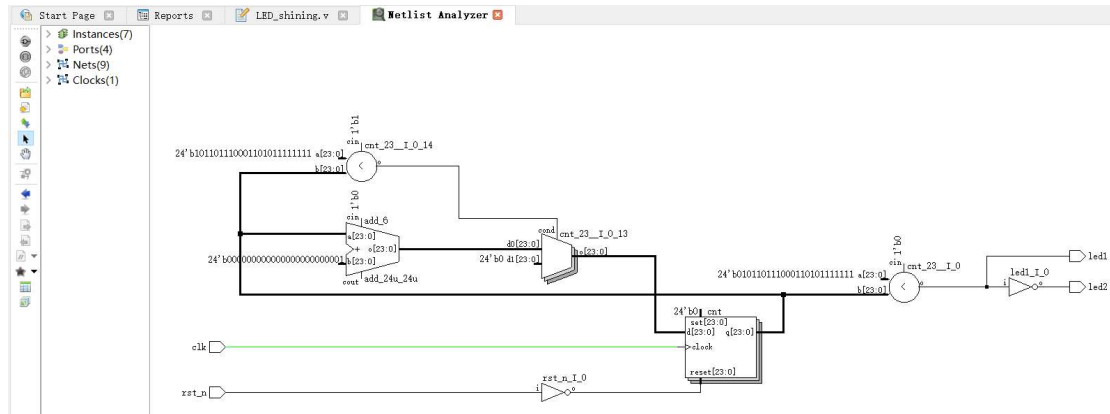


设计源码:

```
module LED_shining (  
    input clk,           //clk = 12mhz  
    input rst_n,        //rst_n, active low  
    output led1,        //led1 output  
    output led2         //led2 output  
);  
  
parameter CNT_1S = 12_000_000 - 1; //time 1S  
parameter CNT_05S = CNT_1S >> 1; //time 0.5S  
  
reg [23:0] cnt;  
always @(posedge clk or negedge rst_n) begin  
    if (!rst_n) cnt <= 1'b0;  
    else if (cnt >= CNT_1S) cnt <= 1'b0;  
    else cnt <= cnt + 1'b1;  
end  
  
wire clk_div = (cnt > CNT_05S) ? 1'b1 : 1'b0;  
  
assign led1 = clk_div;  
assign led2 = ~clk_div;  
  
endmodule
```

Lab1. STEP Lattice Diamond 使用案例

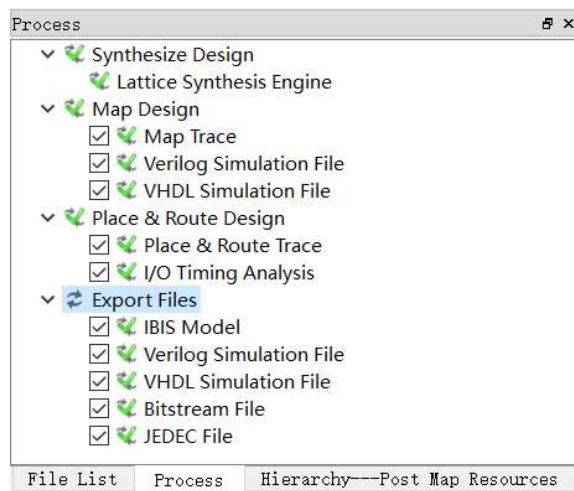
- 11) 通过综合工具，我们的代码就被综合成了电路，生成的具体电路，我们可以通过选择 Tools → Netlist Analyzer 查看（仅限 Lattice 的综合工具，第三方综合工具无法查看），如图



- 12) 综合生成电路后，分配管脚，选择 Tools → Spreadsheet View, 分配管脚，设置 IO_TYPE 为 LVCMOS33，保存，界面如下

Name	Group Bv	Pin	BANK	BANK VCC	VREF	IO TYPE	PULLMODE	DRIVE	SLEWRATE	CLAMP	
1	All Ports	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
1.1	Input	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
1.1.1	Clock	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
1.1.1.1	clk	N/A	C1	5	Auto	N/A	LVCMOS33	DOWN	NA	NA	ON
1.1.1.2	rst_n	N/A	L14	1	Auto	N/A	LVCMOS33	DOWN	NA	NA	ON
1.2	Output	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
1.2.1	led1	N/A	N13	1	Auto	N/A	LVCMOS33	DOWN	8	SLOW	OFF
1.2.2	led2	N/A	M12	1	Auto	N/A	LVCMOS33	DOWN	8	SLOW	OFF

- 13) 在软件左侧 Process 栏，选择 Process，勾选所有选项，直接双击 Export Files，所有布局布线输出依次完成，结束后，所有选项显示绿色对勾。

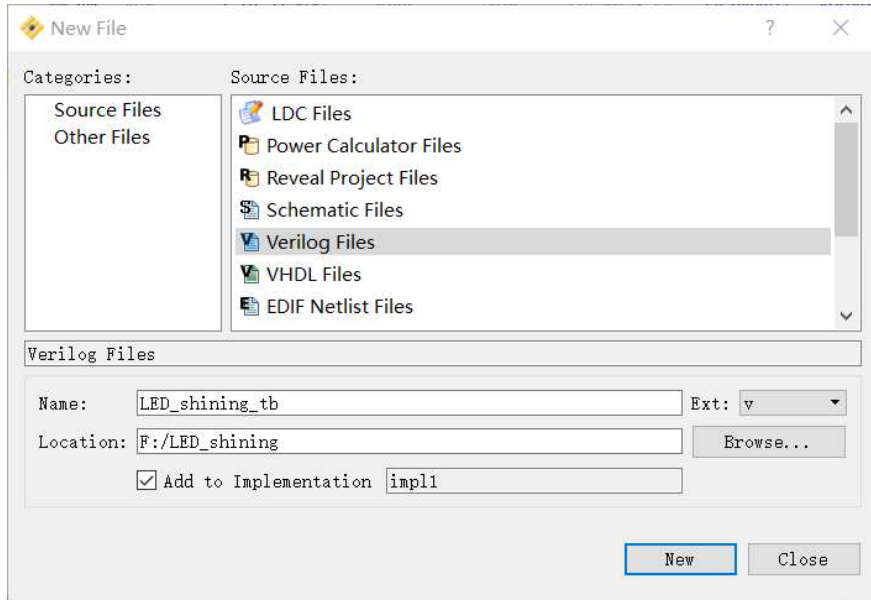


到这里完成了第一个程序流文件的生成，下面可以下载到 FPGA 中。

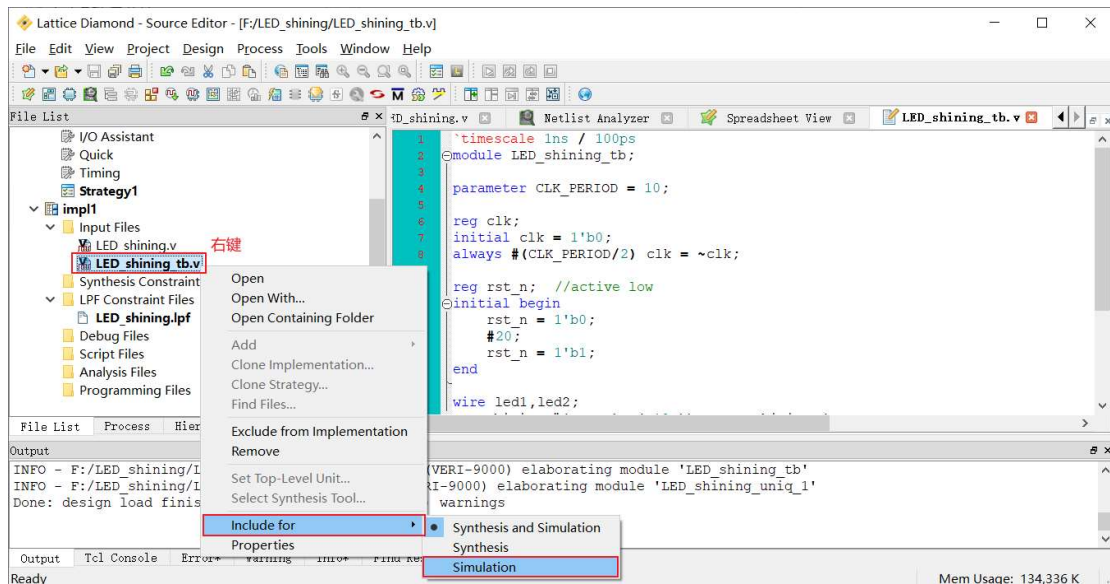
2、设计功能仿真

第一部分我们完成了工程的设计实现,对于复杂的工程开发需要伴随功能仿真和布线前后仿真等,保证最终的程序设计功能和时序符合我们的设计要求。仿真软件很多,这里我们使用软件自带的 Modelsim 软件进行仿真:

- 1) 首先我们添加 testbench 文件,和前面添加设计文件一样,选择 File → New → File → Verilog Files, 测试文件 Name 填写, 然后点击 New,



- 2) 同样测试源码已经准备好了,将代码复制到 LED_shining_tb.v 文件并保存,(为了方便仿真,我们在 LED_shining_tb.v 调用 LED_shining 模块时将 CNT_1S 重新赋值为 19)
- 3) 然后在软件左侧 Process 栏,选择 File List,找到 LED_shining_tb.v,点击右键,选择 Include for → Simulation (保证测试文件只参与仿真,不参与综合)



testbench 源码:

```
`timescale 1ns / 100ps
module LED_shining_tb;

parameter CLK_PERIOD = 10;
```

```
reg clk;
initial clk = 1'b0;
always #(CLK_PERIOD/2) clk = ~clk;

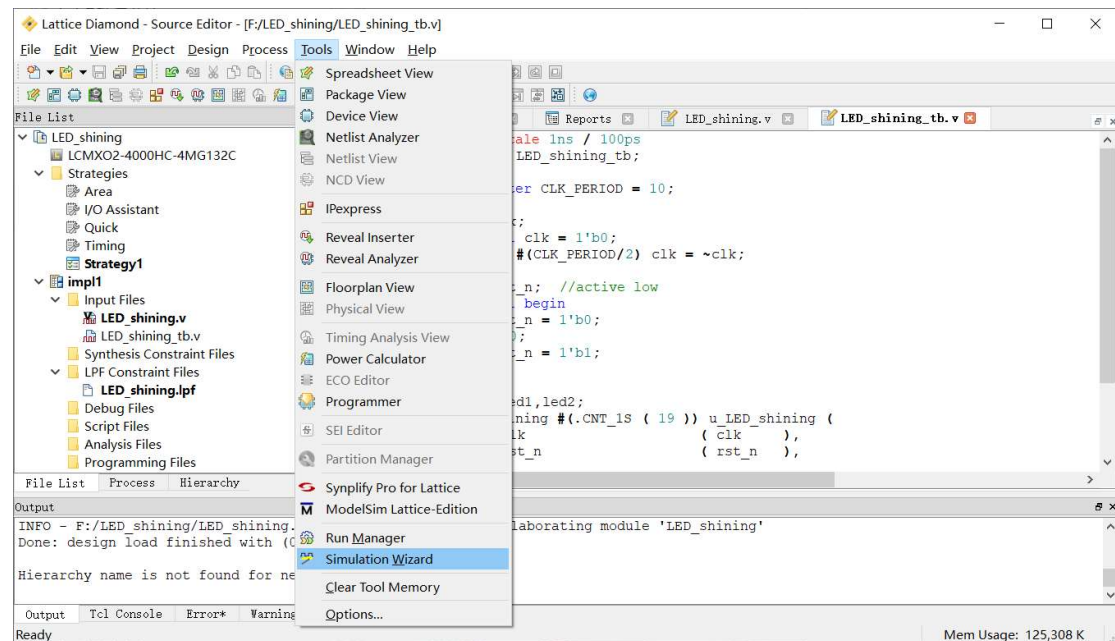
reg rst_n; //active Low
initial begin
    rst_n = 1'b0;
    #20;
    rst_n = 1'b1;
end

wire led1,led2;
LED_shining #(.CNT_1S ( 19 )) u_LED_shining (
    .clk                ( clk      ),
    .rst_n              ( rst_n    ),

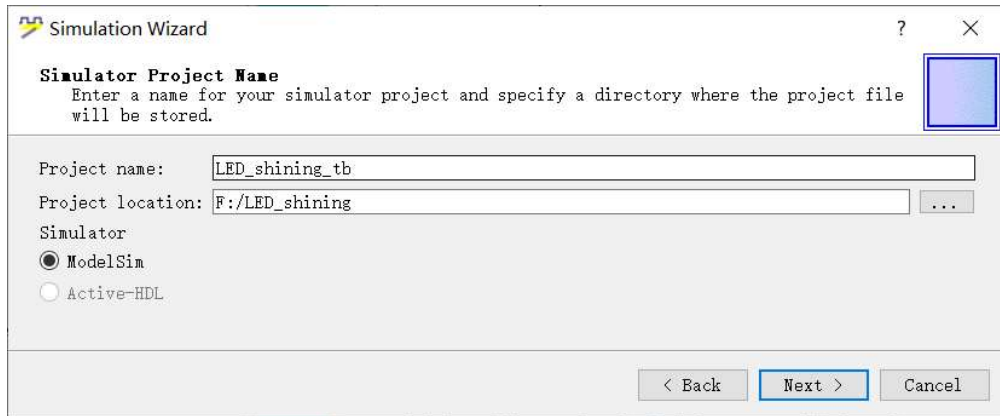
    .led1               ( led1    ),
    .led2               ( led2    )
);

endmodule
```

- 4) 准备工作完成，我们选择 Tools → Simulation Wizard → Next，（使用仿真向导完成仿真配置）



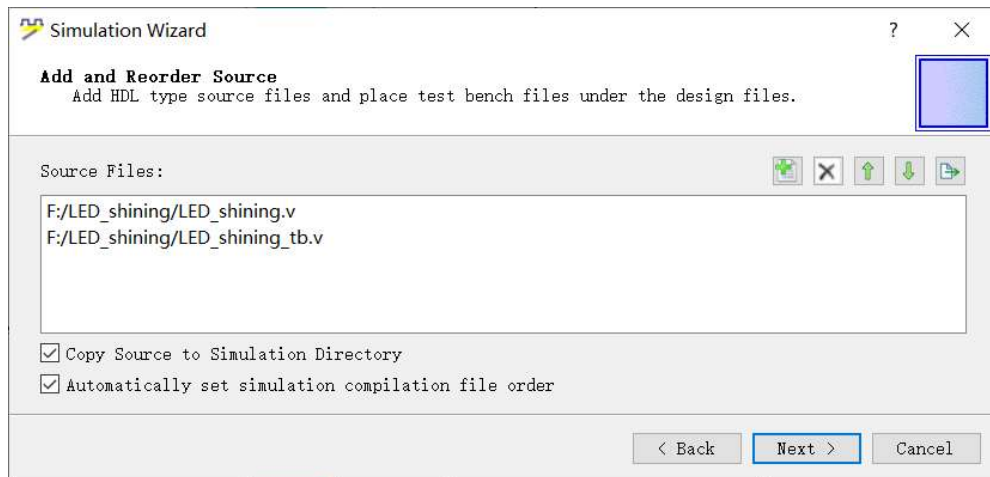
- 5) 建立仿真工程，Lattice Diamond 3.12 版本软件自带 ModelSim 仿真工具，直接调用 ModelSim（默认），工程名称：LED_shining_tb，工程路径默认即可；然后点击 Next，



6) 选择 RTL，然后 Next

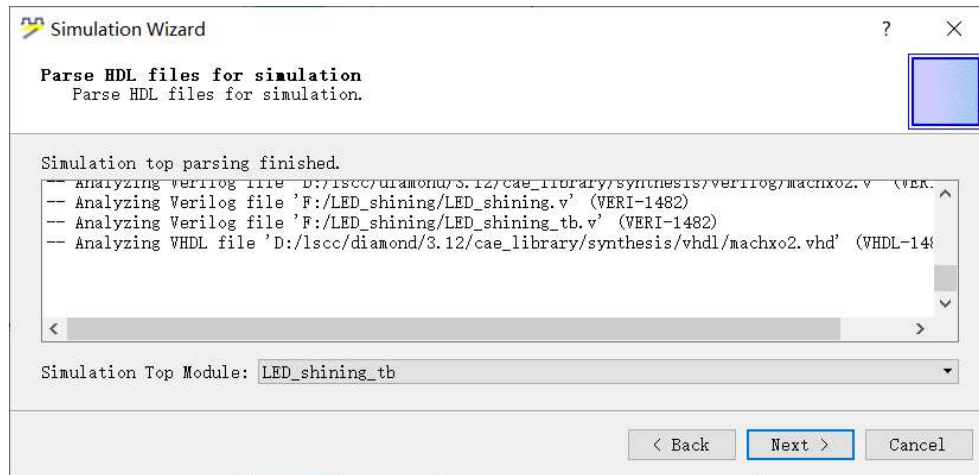


7) 勾选 Copy Source to Simulation Directory，软件会将参与仿真的 Verilog 文件复制并用作仿真，然后 Next

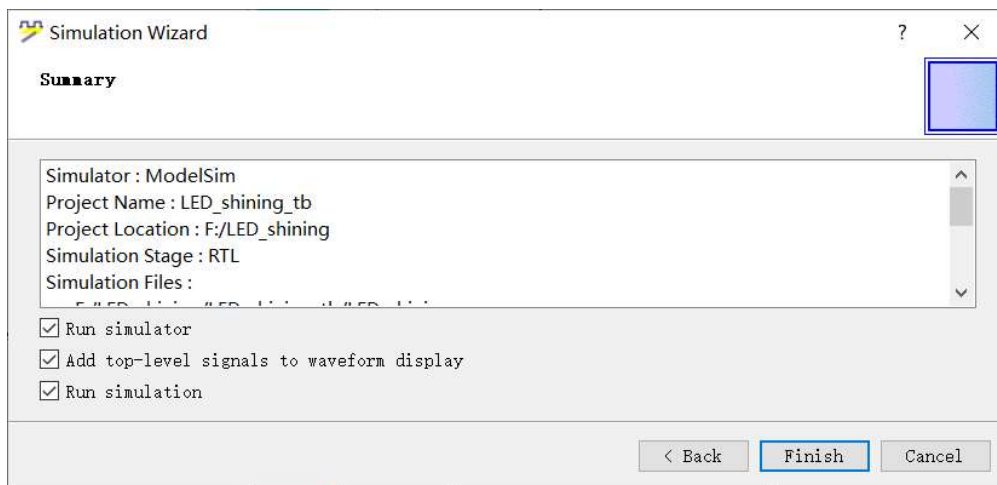


8) 点击 Next

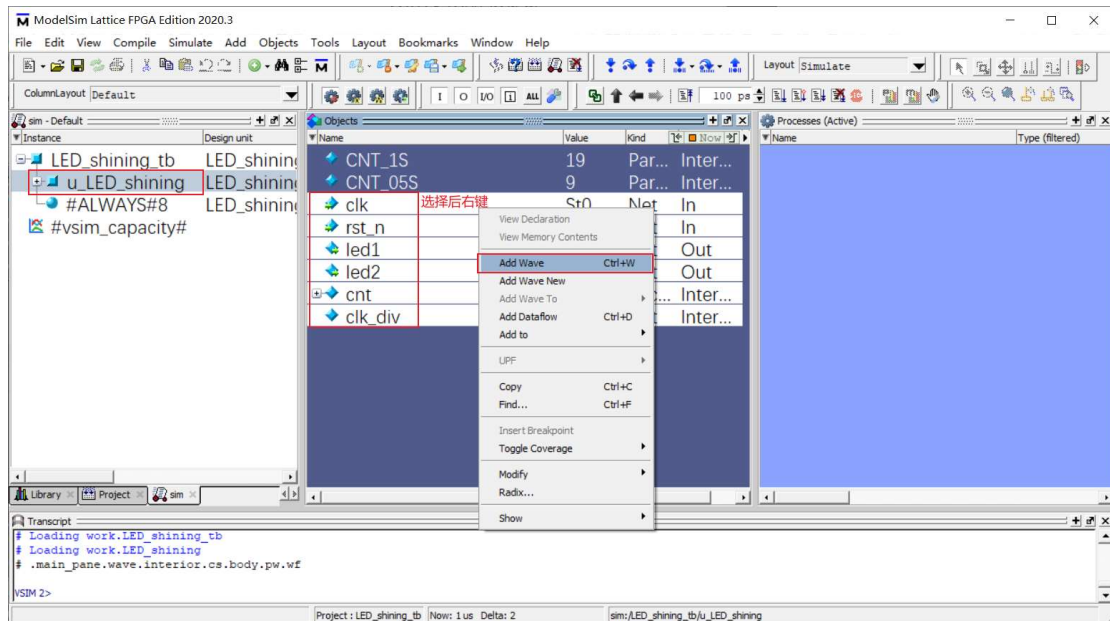
Lab1. STEP Lattice Diamond 使用案例



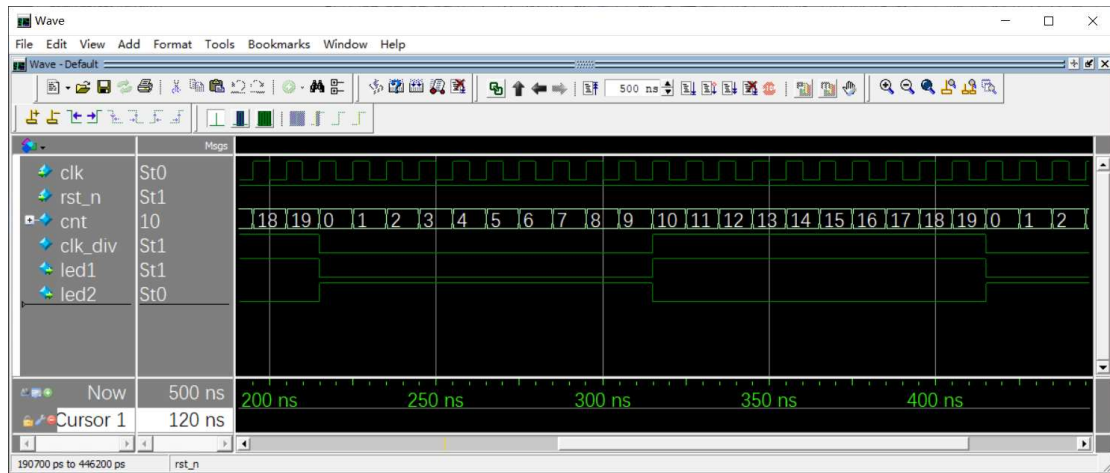
9) 点击 Finish，等待仿真软件的自动运行



10) ModelSim 软件启动，可以直接查看 testbench 文件中变量的时序变化，想要看 LED_shining 模块中的变量的时序，可以通过下图中的步骤添加信号至 WAVE 窗口。



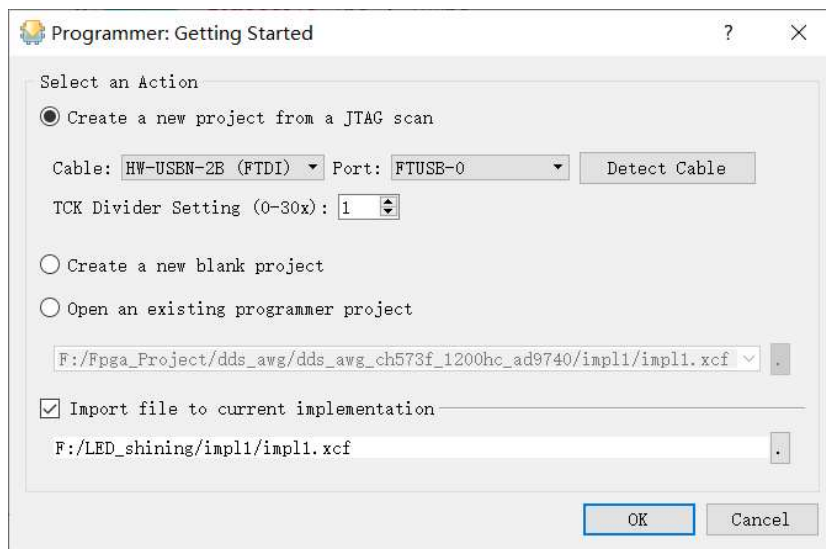
11) 在 WAVE 窗口仿真相应的时间长度，观察信号的时序



3、FPGA 程序下载

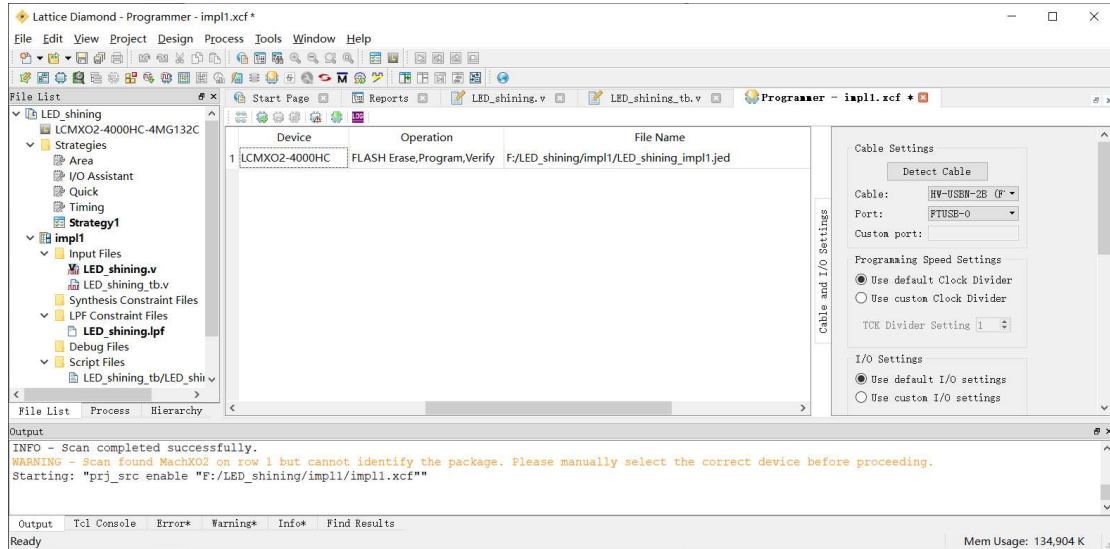
Step FPGA V2.1 的编程芯片已经集成到小脚丫开发板上，因此只需要一根 Micro USB 线和电脑相连，就可以完成供电和编程的功能，驱动安装好以后就可以开始编译下载程序了。将编译完成的程序加载到 Step FPGA 开发板：

- 1) 选择 Tools → Programmer，选择下载器 HW-USBN-2B (FTDI) ,然后点击 OK，



- 2) 进入 Programmer 界面

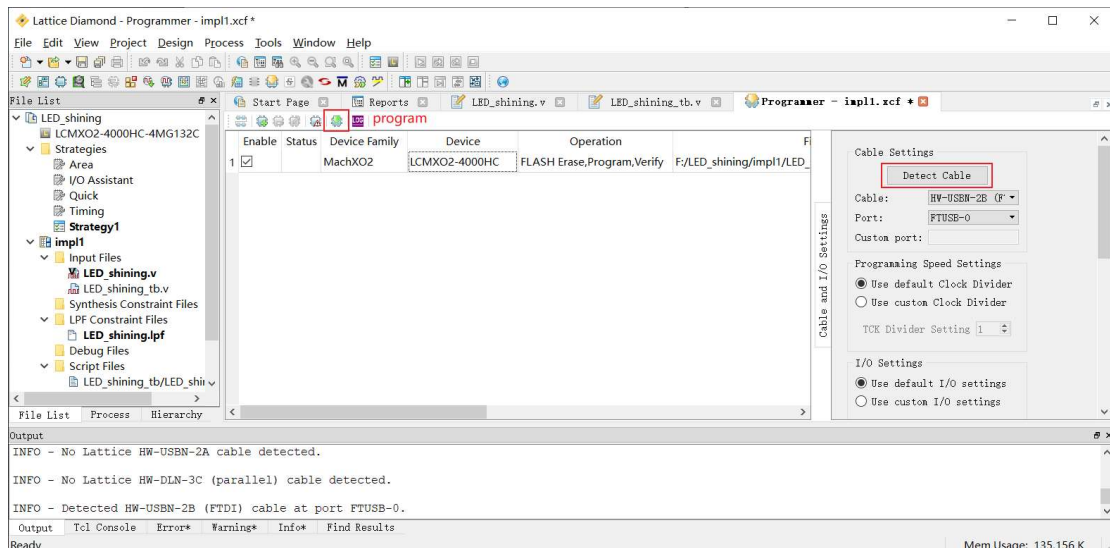
Lab1. STEP Lattice Diamond 使用案例



3) 将 Step FPGA 开发板、下载器和电脑连接, 如图



4) 在 Programmer 界面, 点击右侧 Detect Cable, 自动检测 Cable 显示 HW-USBN-2B(FTDI), 然后点击下图中 Program



5) 显示 PASS, 加载完成, 观察 StepFPGA 的 LED 交替闪烁, 成功了。

Lab1. STEP Lattice Diamond 使用案例

