

STEP-MX02 V2 软件手册

小脚丫 STEP FPGA

STEP

2016/8/28

STEP-MXO2 V2 软件手册

目录

1. 概述	2
2. 软件安装.....	2
2.1 Diamond 软件下载:	2
2.2 Diamond 安装步骤:	2
2.3 Diamond 软件注册:	9
3. 创建第一个工程.....	14
3.1 新建一个工程.....	14
3.2 添加设计文件.....	20
3.3 管脚分配.....	23
3.4 生成编译文件与下载.....	24
3.5 小结	28
4. 仿真工具 Active-HDL.....	28
5. 版本	35

1. 概述

Lattice Diamond 设计软件提供了最先进的设计和实现工具，专门针对成本敏感、低功耗的莱迪思 FPGA 架构进行了优化——使用低密度和超低密度 FPGA 的应用设计需要灵活性、验证和可快速重用的特性。

- 基于 GUI 的完整 FPGA 设计和验证环境
- 可通过多个工程实现以及设置策略对单个设计项目进行设计探索
- 提供时序和功耗管理的图形化操作环境小脚丫

在 Lattice 官网可以免费下载最新的 Diamond 工具，支持 Windows 系统和 Linux 系统。

2. 软件安装

2.1 Diamond 软件下载：

1、到 Lattice 官网注册，到如下网址

<http://www.latticesemi.com/zh-CN/Products/DesignSoftwareAndIP/FPGAandLDS/LatticeDiamond.aspx>

下载对应操作系统的最新 Diamond 软件安装包。

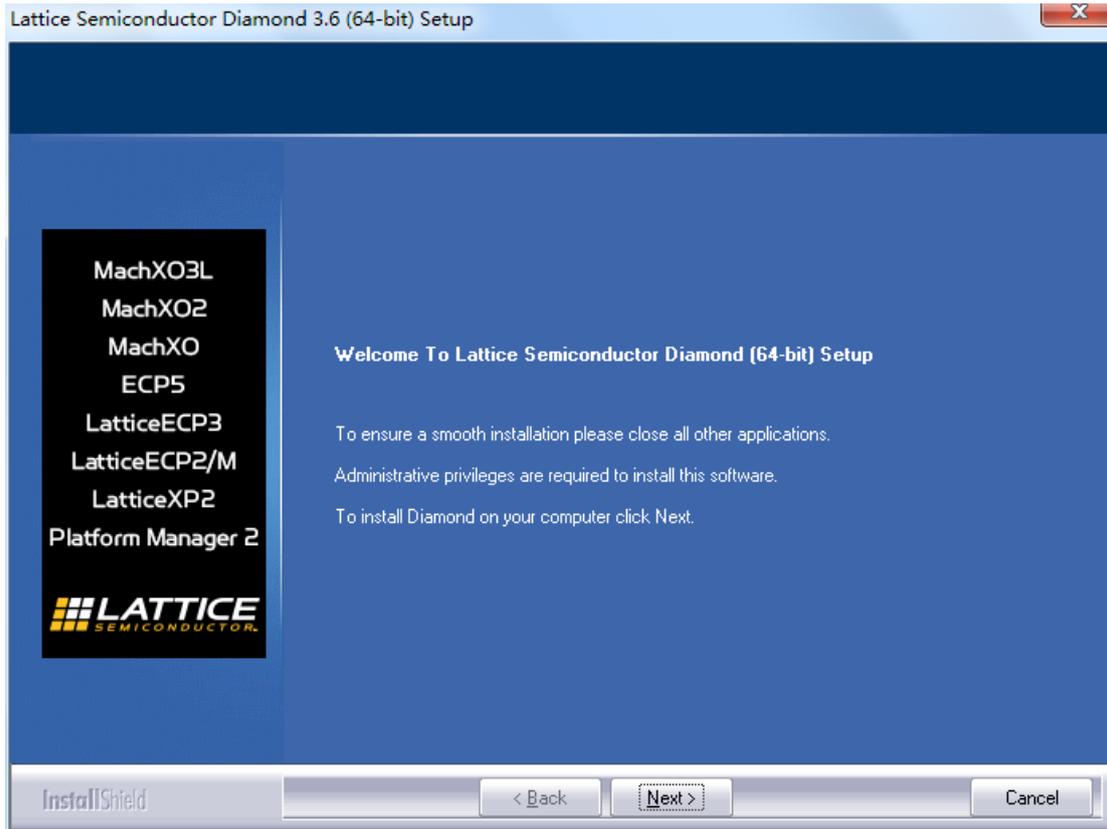
2、根据安装指南进行安装。

3、点击许可证页面链接获取许可证。（邮箱获取，免费）

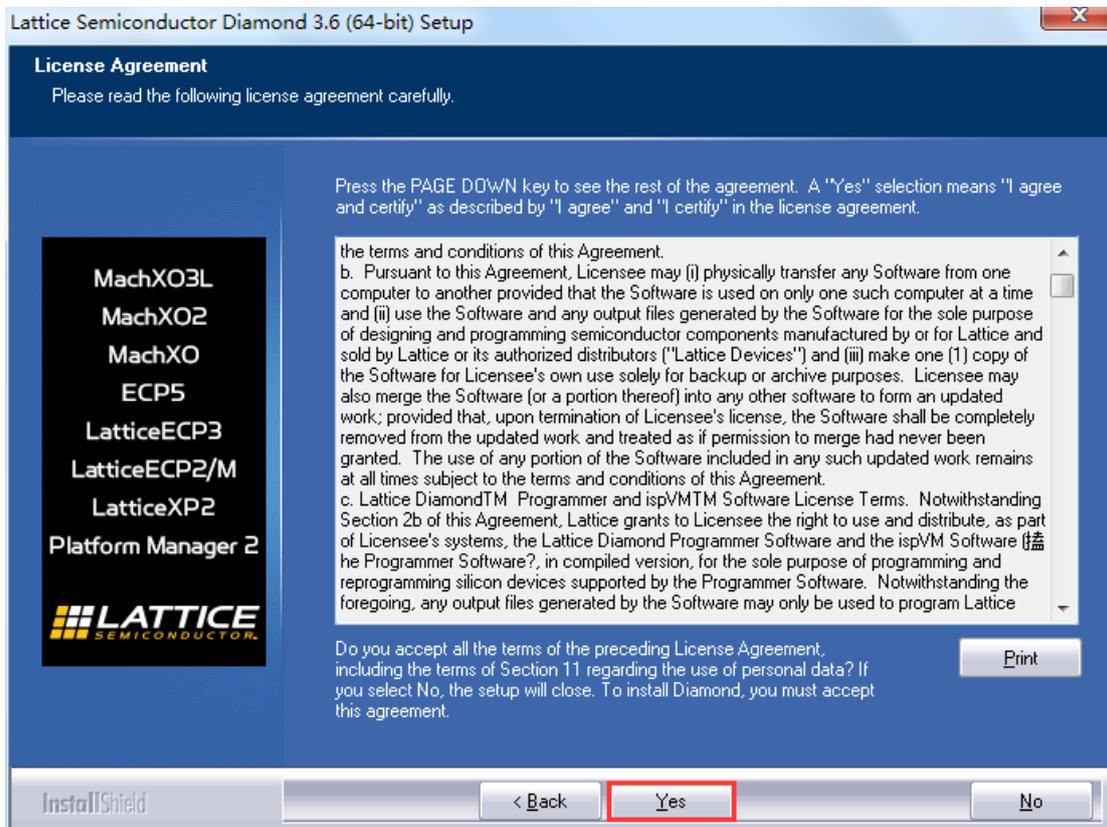
2.2 Diamond 安装步骤：

1、双击打开下载好的软件（请注意操作系统的版本和下载软件的版本）。

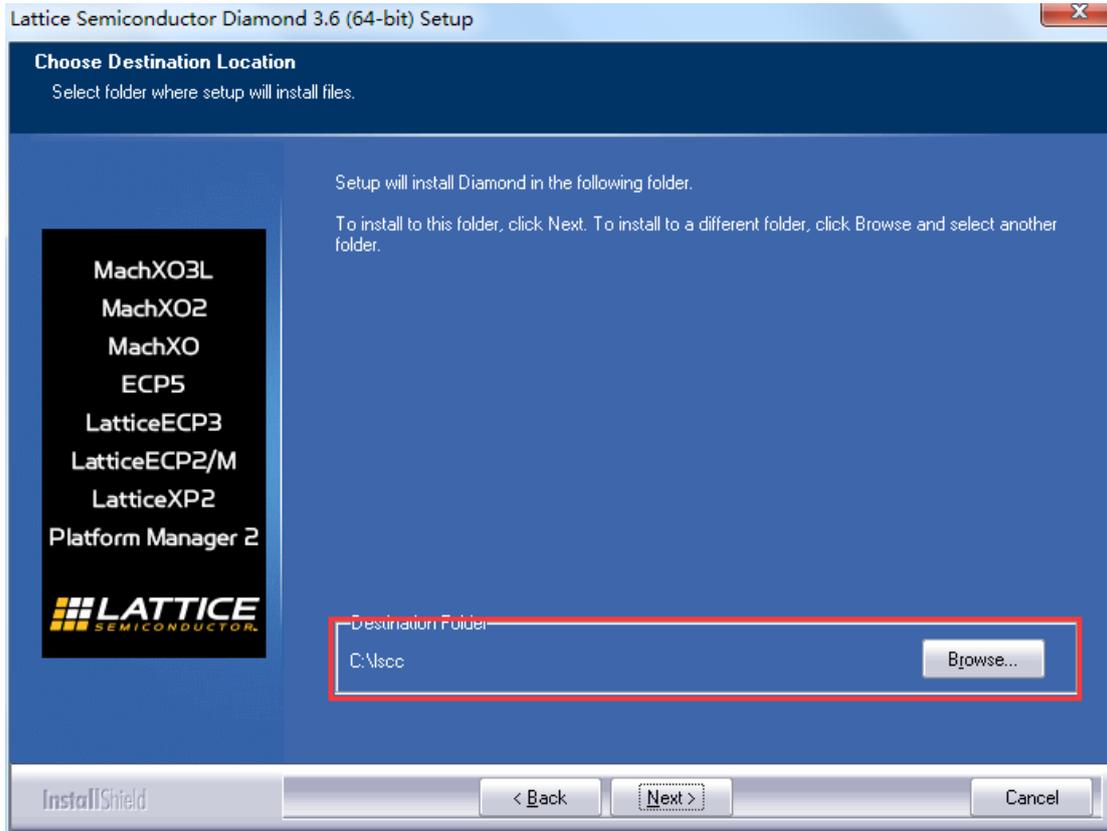
2、进入安装首页。



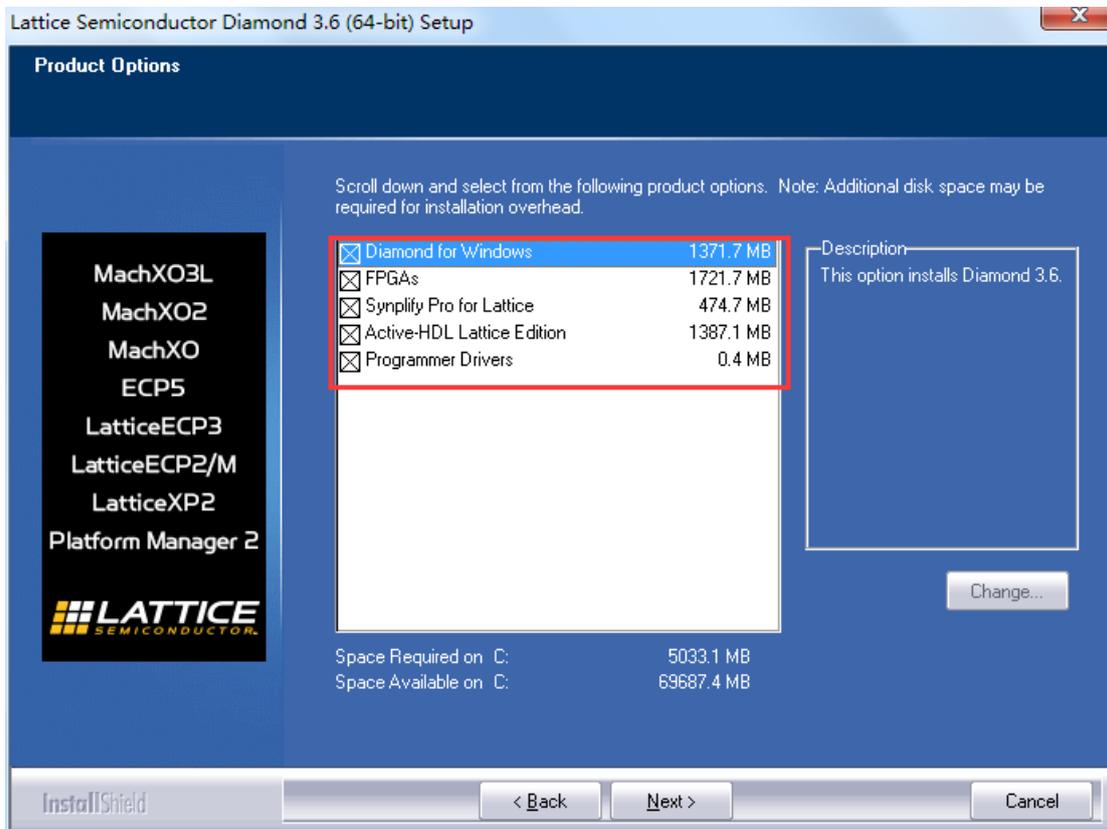
3、点击 Next，进入协议界面，不同意就不让你安装，那同意就是了。。。。



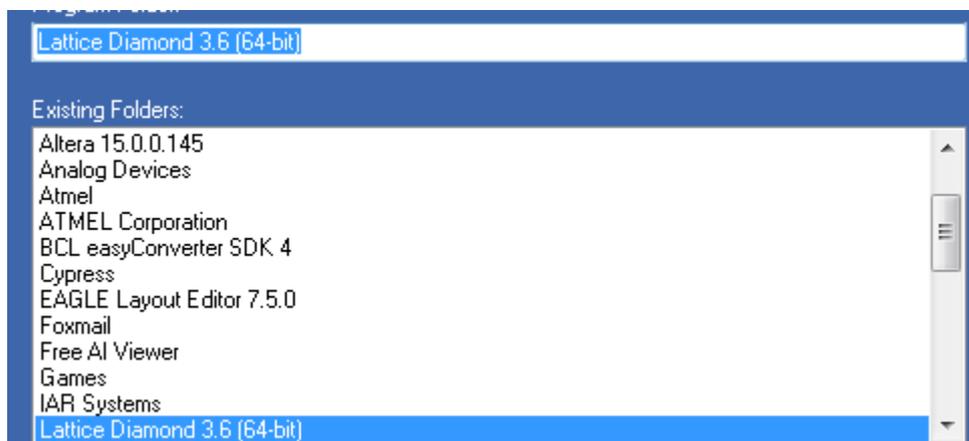
4、修改安装路径，默认是安装在 C 盘。



5、修改完路径后，点击 Next，进入工具选项界面。

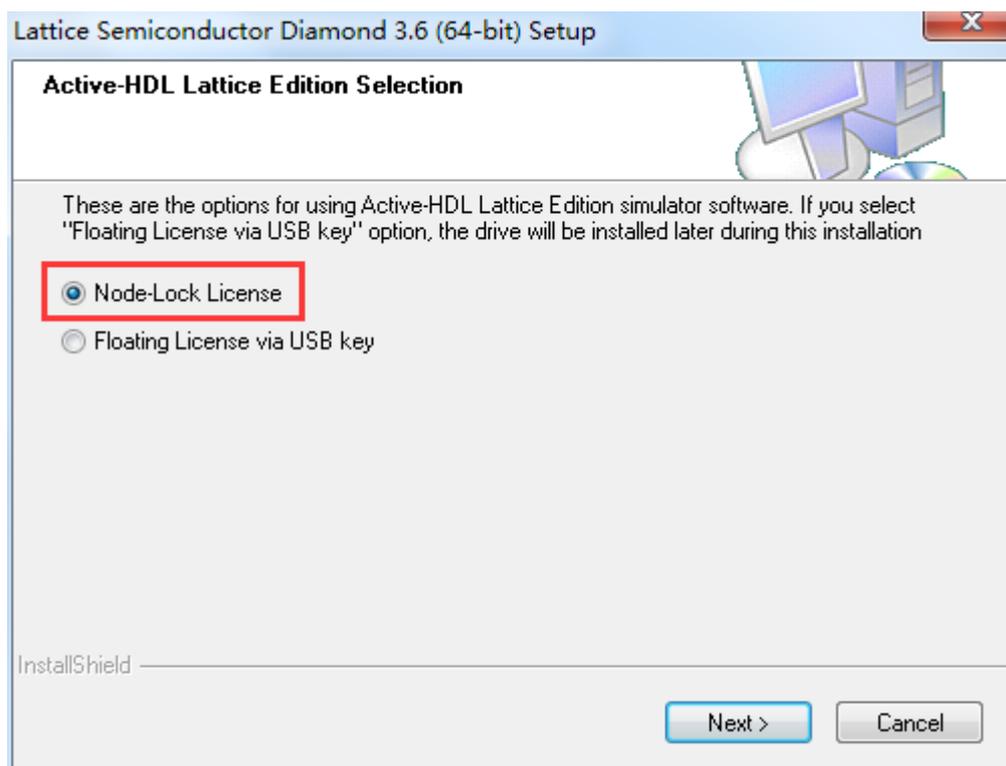


6、我是选择默认设置，即全部安装。注意叉叉是表示选择。点击 **Next**，进入文件夹名设置。当然你可以根据自己喜好，修改文件夹的名字。

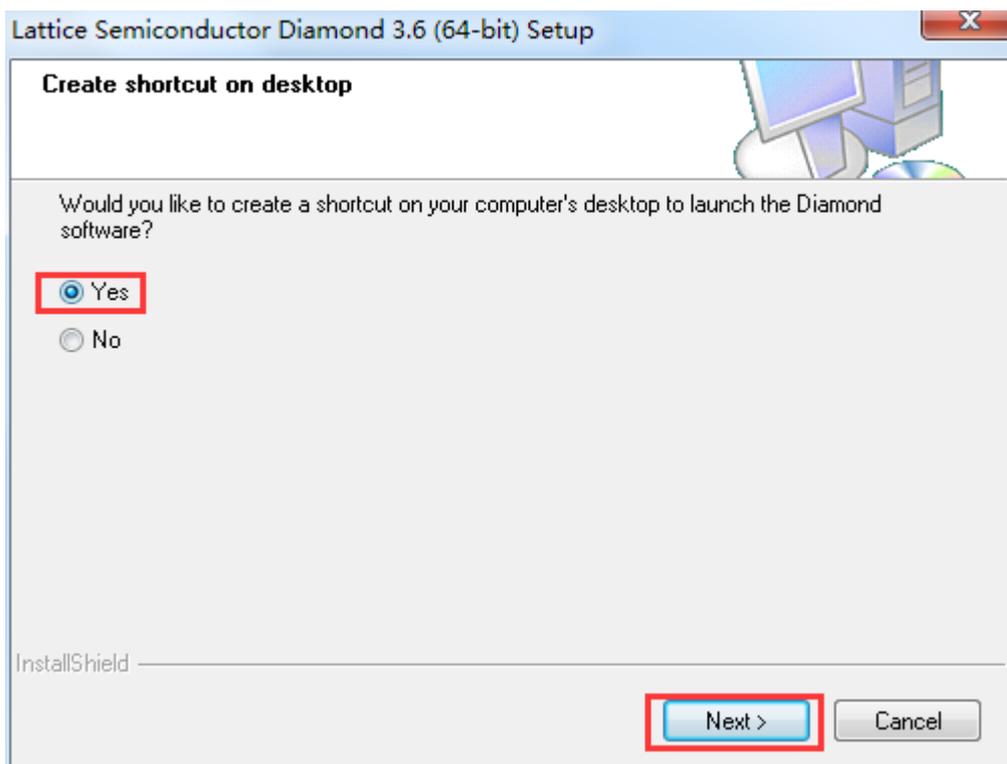


7、接下来就是认证设置。没有 USB key，就只能选择 Node-Lock License。关于 Node-Lock License 和 Floating License 的区别可以参考下面这个博客：

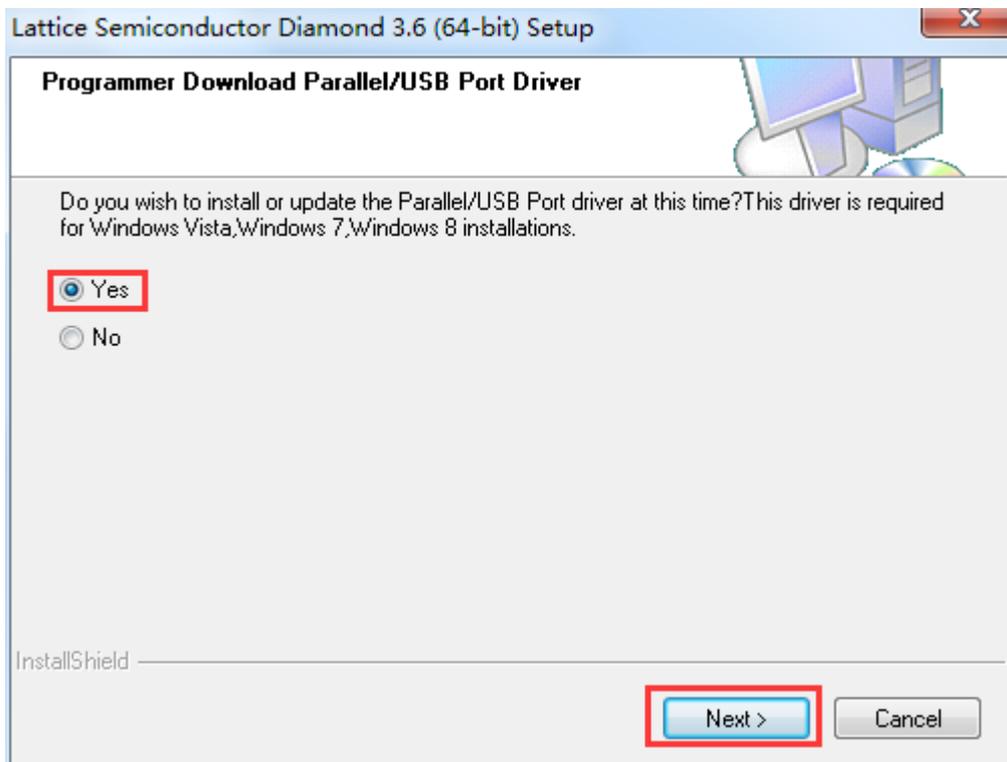
TestComplete 浮动许可证 (Floating license)与节点锁定许可证(Node-locking license) 区别



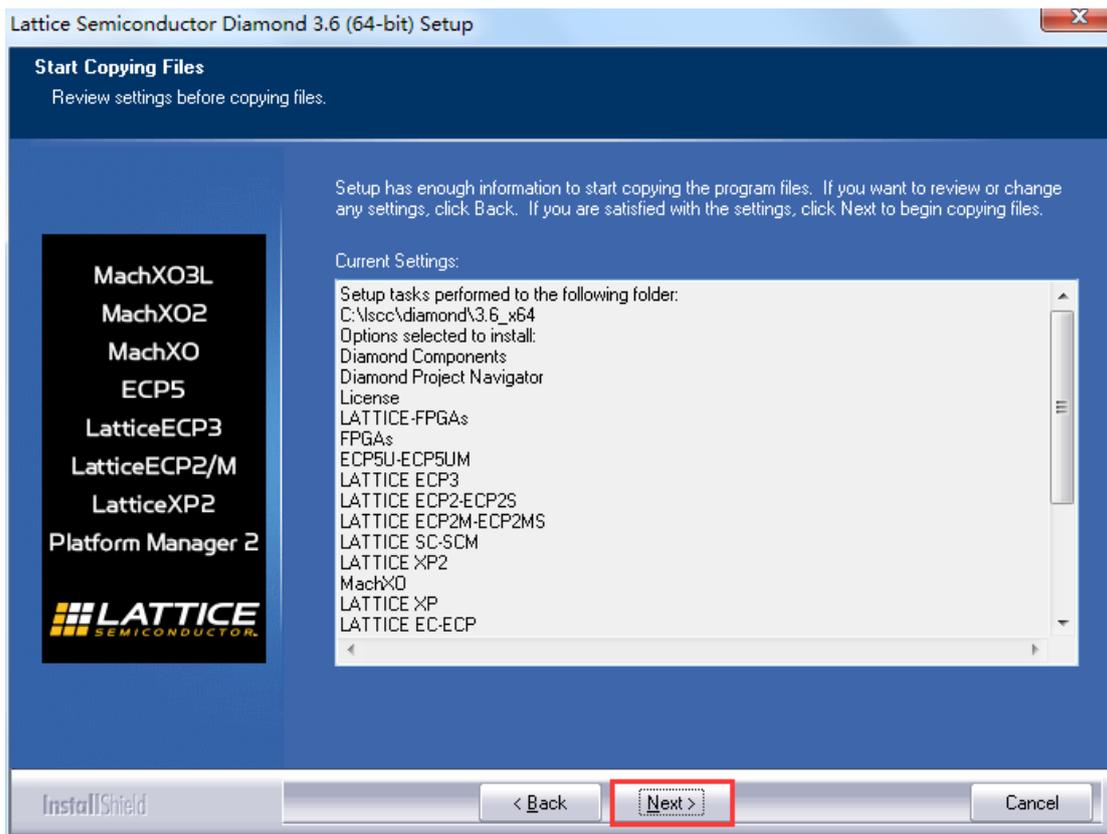
8、点击 **Next**，选择是否创建桌面快捷键。



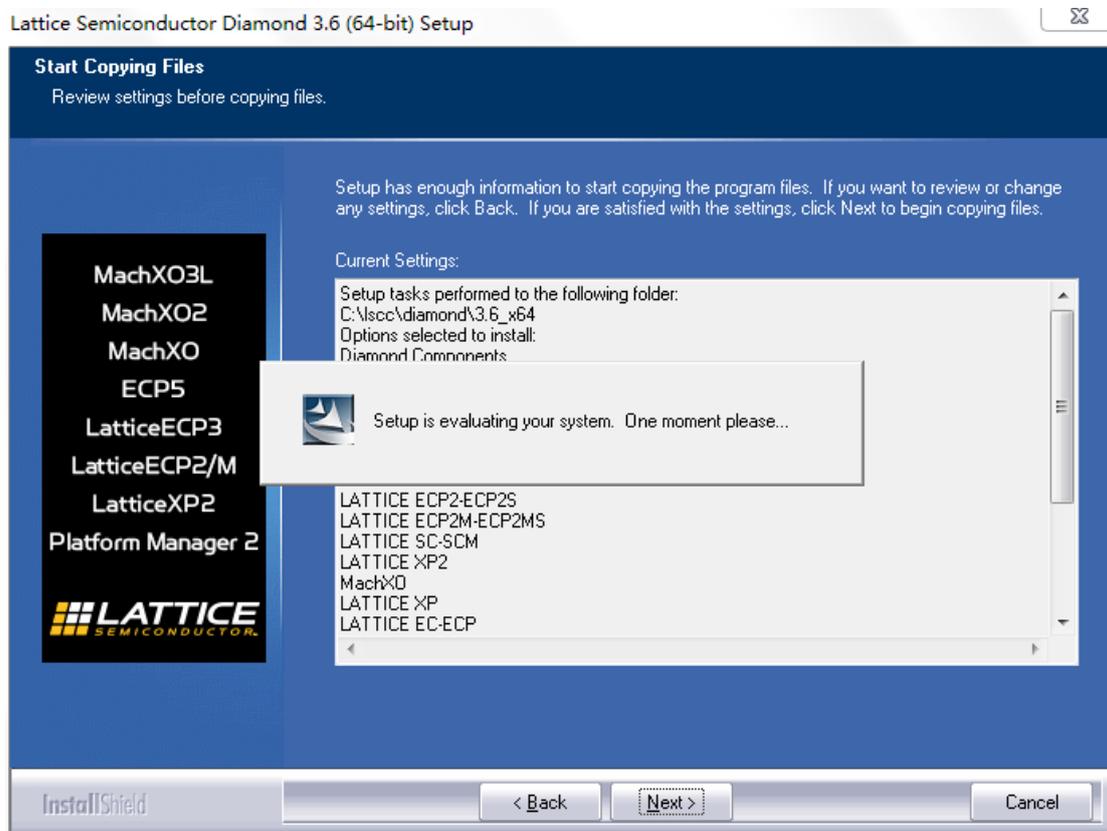
9、点击 Next，选择是否安装 USB 驱动，这个必须同意!!!



10、完成这一系列设置后，软件列出所有设置内容。



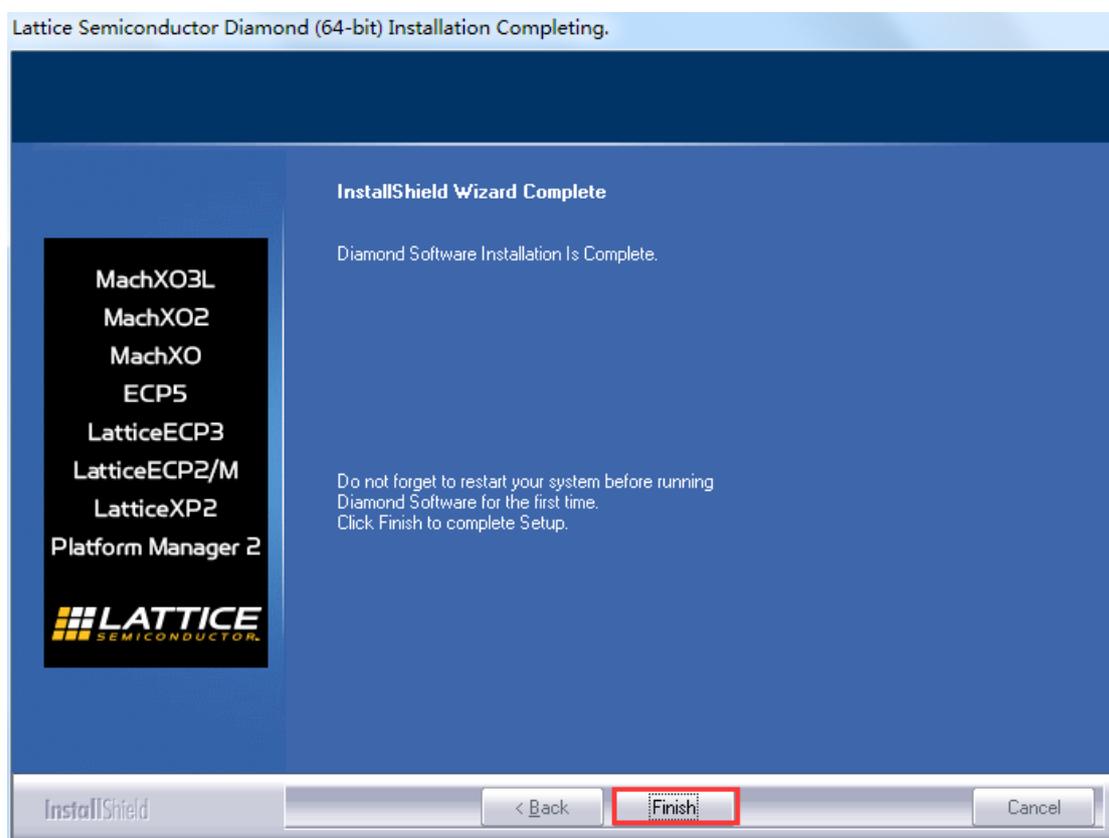
11、点击 Next，正式进入安装环节。软件会评估一下本机系统，决定是否继续安装。



12、一般配置的 PC 机都可以通过评估。进入安装。



13、耐心等待=====>



14、点击 Finish，完成安装。

2.3 Diamond 软件注册:

- 1、Diamond 软件不仅提供了简单易用的操作环境，而且提供免费许可证使得用户能够设计并评估 Diamond 软件支持的不带 SERDES 的器件的性能。免费许可证获取十分简单，首先在 Lattice 官网注册一个账号（需要邮箱）。
- 2、访问官网页面 <http://latticesemi.com/Support/Licensing.aspx>，点击获得一个免费许可证。

Lattice Diamond 设计软件

改用一个新的工具通常比较困难，但莱迪思通过



Lattice Diamond 免费许可证

Lattice Diamond 设计软件提供了最先进的设计和实现工具，专门针对成本敏感、低功耗的莱迪思 FPGA 架构进行了优化。免费许可证使得用户能够设计并评估 Diamond 软件支持的不带 SERDES 的器件的性能。

获取一个许可证您需要：

- 物理 MAC 地址（12 位十六进制值）

[获取一个免费许可证](#)

- 3、填写机器物理地址，生成一个 license.dat 文件，将会发送到注册所用的邮箱。

Please follow these steps to request your Lattice Diamond Free Software license:

1. Review and update your Web Account Information below by clicking on the Update Your Account button.
2. Fill in the Software License Request Form and Submit.

Host NIC: You can find your PC Network Interface Card ID by opening an MS-DOS window, typing "ipconfig /all" and pressing Enter. The Physical Address is a 12-digit hexadecimal value split into pairs with dashes, like this: 00-01-02-66-1D-E0. Please enter this information without dashes like this: 000102661DE0.

After you successfully complete and submit this form, a new license file with instructions on how to install it will be e-mailed to you.

For any questions, email lic_admin@latticesemi.com

If you have experienced an Aldec license check out error, please check out a new license.

Software License Request Form

Note: The license file will be sent to the web account email address:

[REDACTED]

Host NIC (physical address) *:

* required field

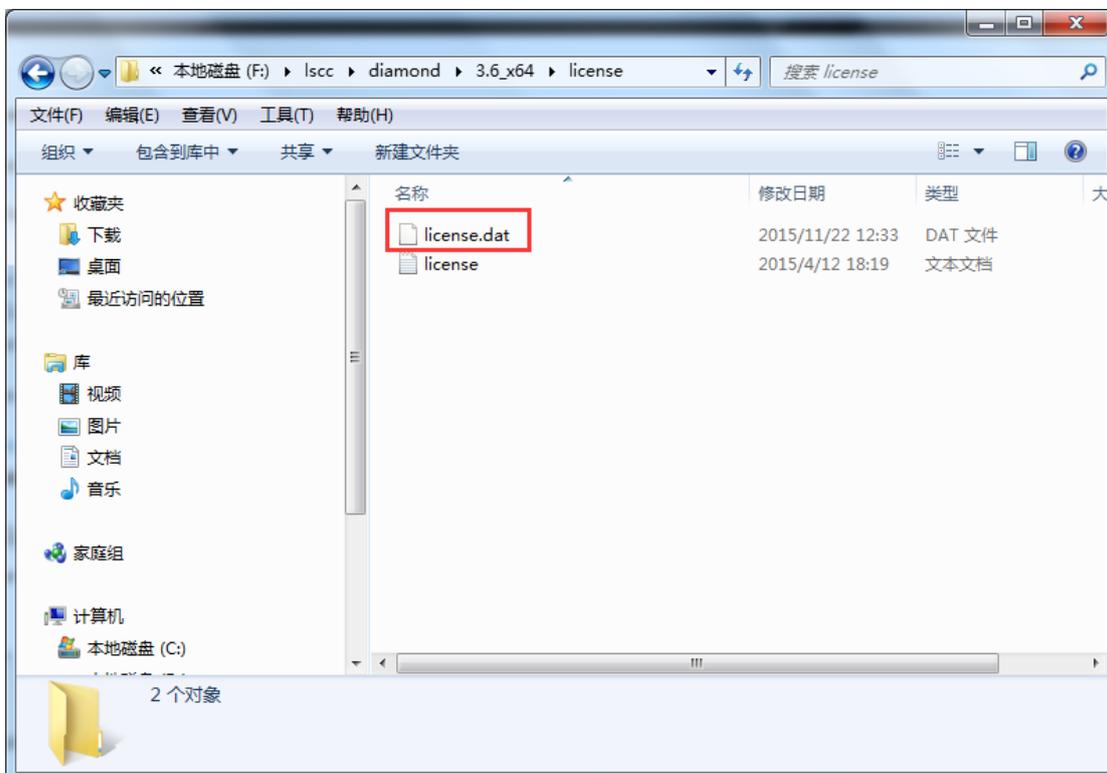
I verify that I am not an employee of Cadence Design Systems, Mentor Graphics Corporation, or Magma Design Automation

Generate License

(click once)

NOTE: This form requires JavaScript to be enabled in your web browser in order to process your request.

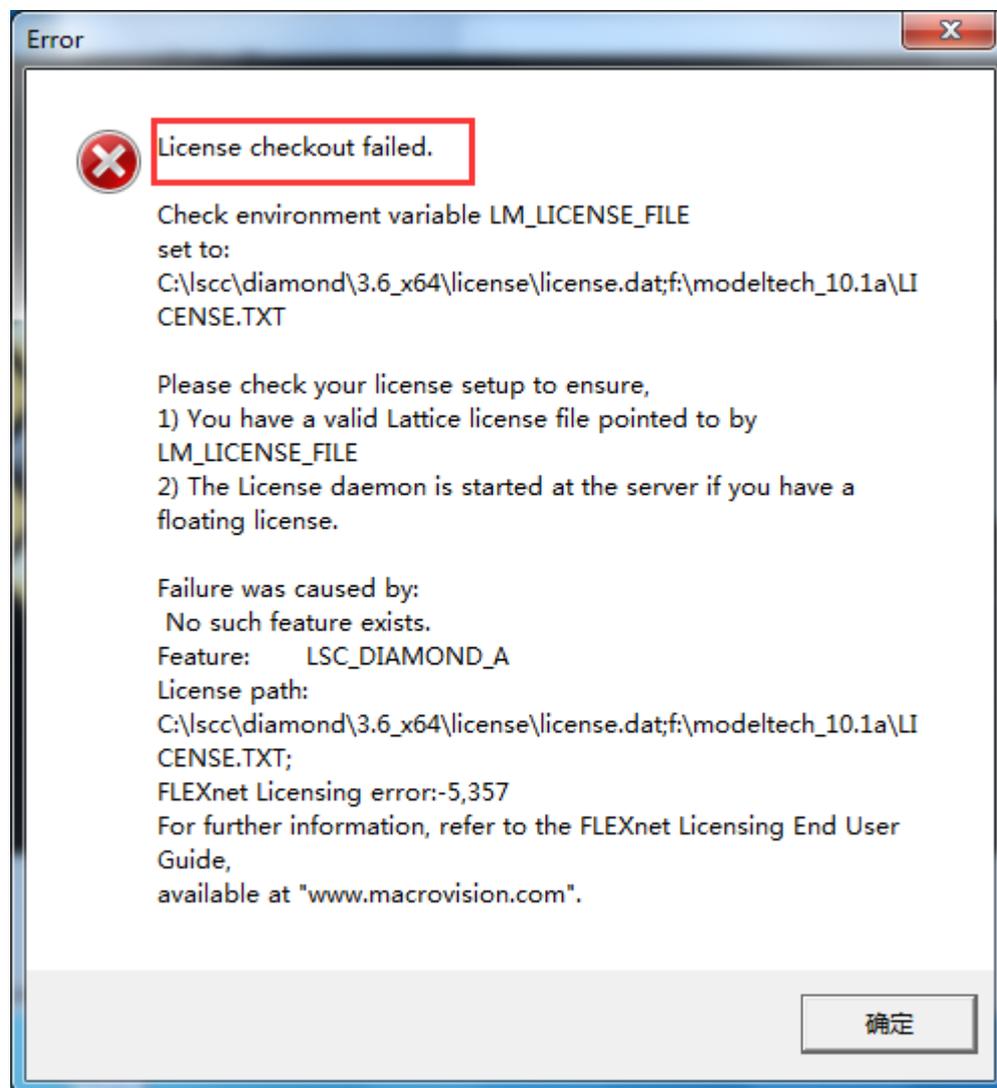
- 4、在软件安装过程中，已自动添加系统环境变量。只需将申请的 license.dat 文件拷贝到安装目录下的 license 文件夹中，本文例为：D:\lsc\diamond\3.6_x64\license\



至此完成 License 文件设置，可以开始使用 Diamond 进行设计了。

注意!!!

如双击打开 Diamond 软件是出现如下错误，则表示环境变量设置有问题。

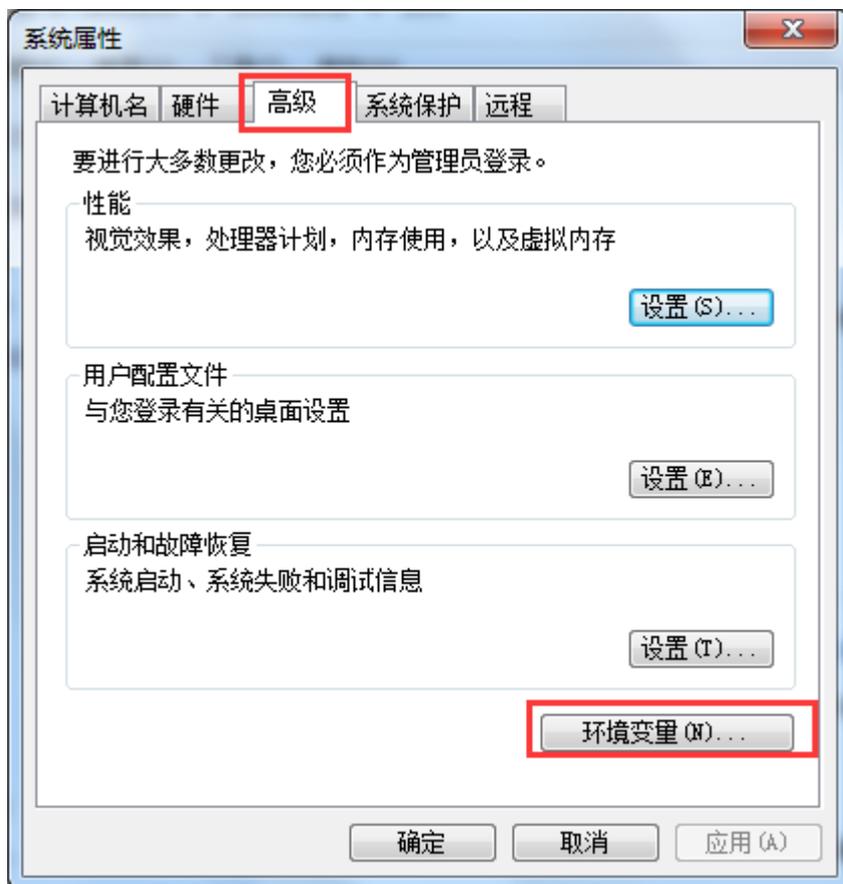


解决方法是：

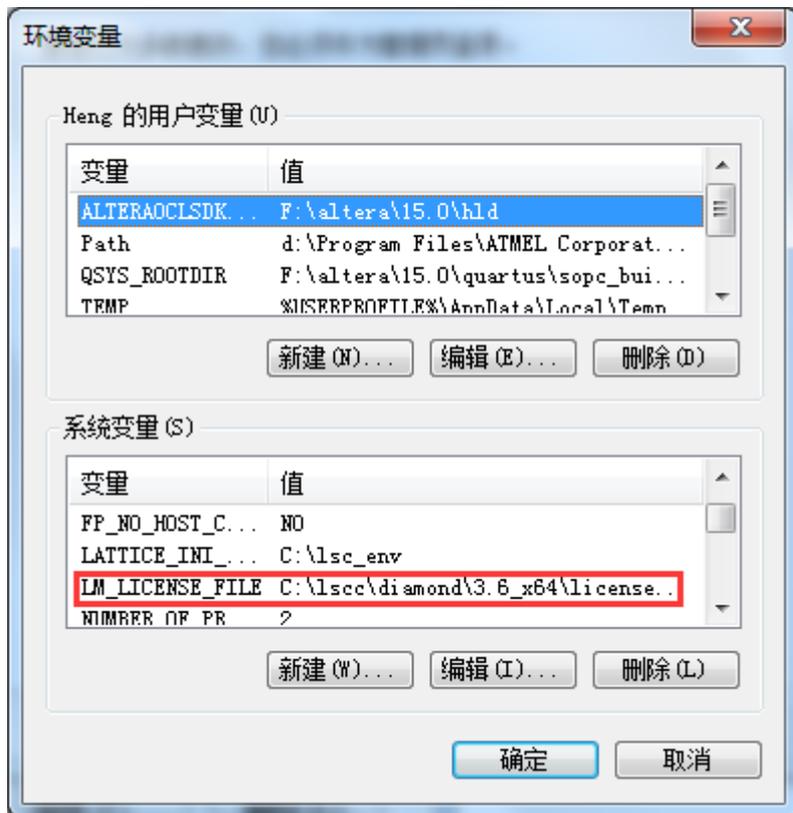
右击“计算机”选择属性，进入控制面板中的系统属性界面。



点击高级系统设置。选择高级，点击环境变量！



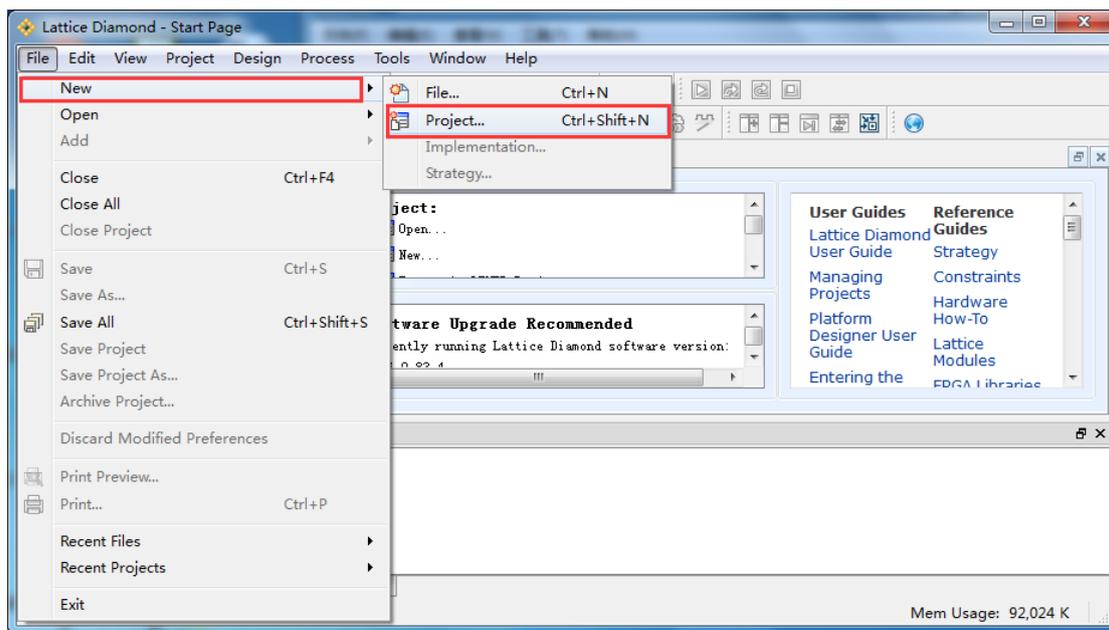
进入环境变量设置界面，查看用户变量中是否存在与系统变量 LM_LICENSE_FILE 相冲突的变量。



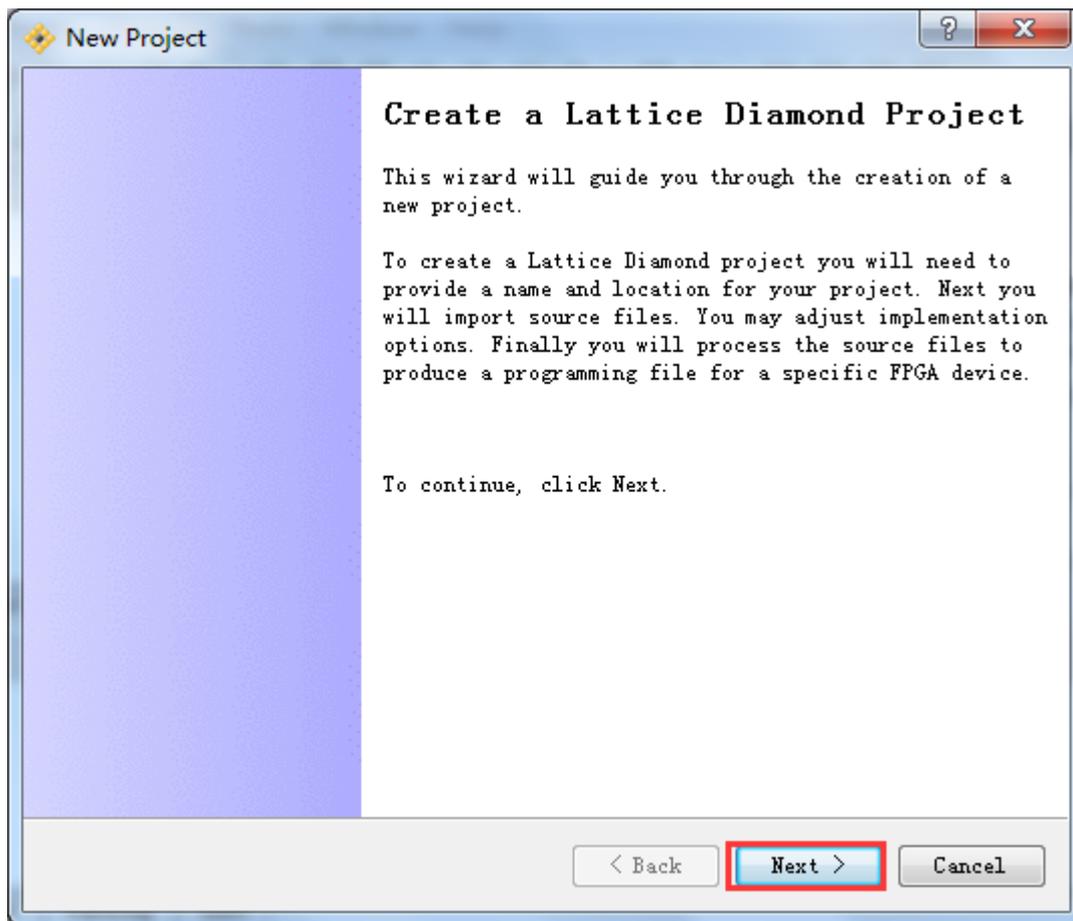
3. 创建第一个工程

3.1 新建一个工程

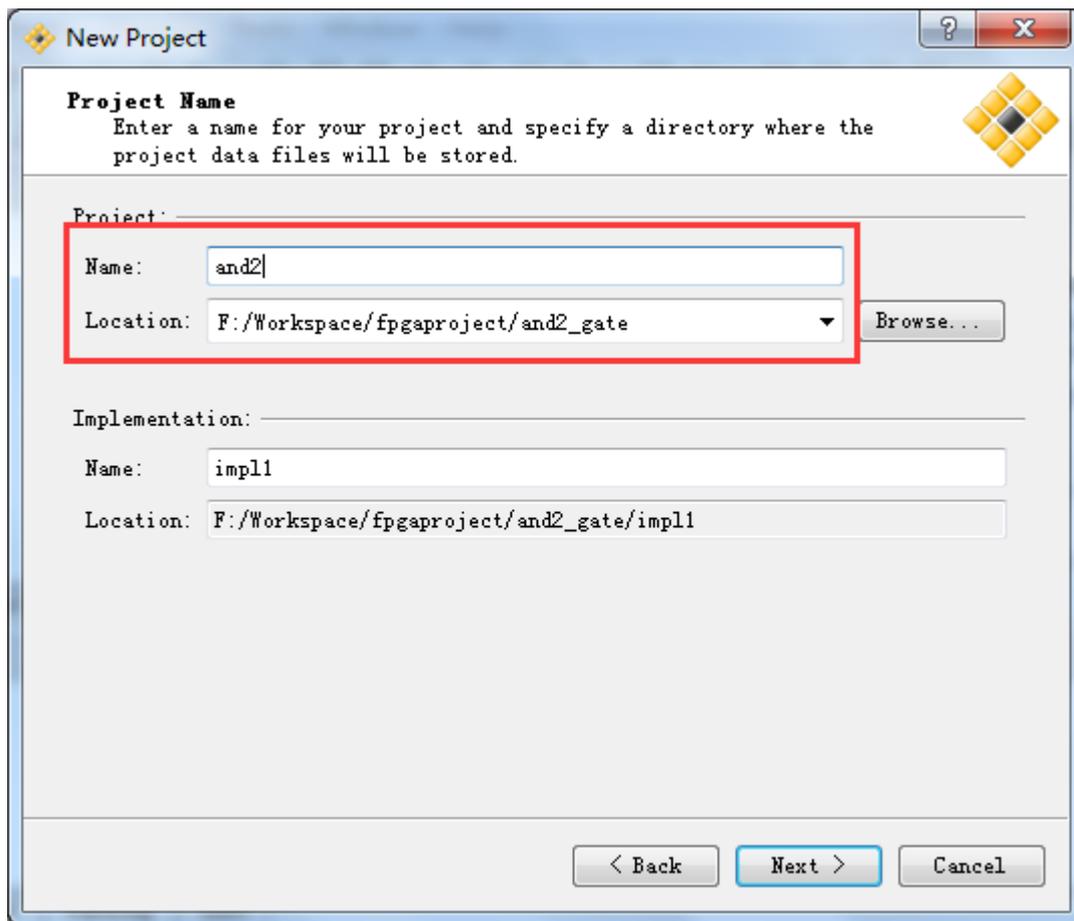
1、在 Diamond 软件面板上，选择 File>New>Project，进行新工程创建。



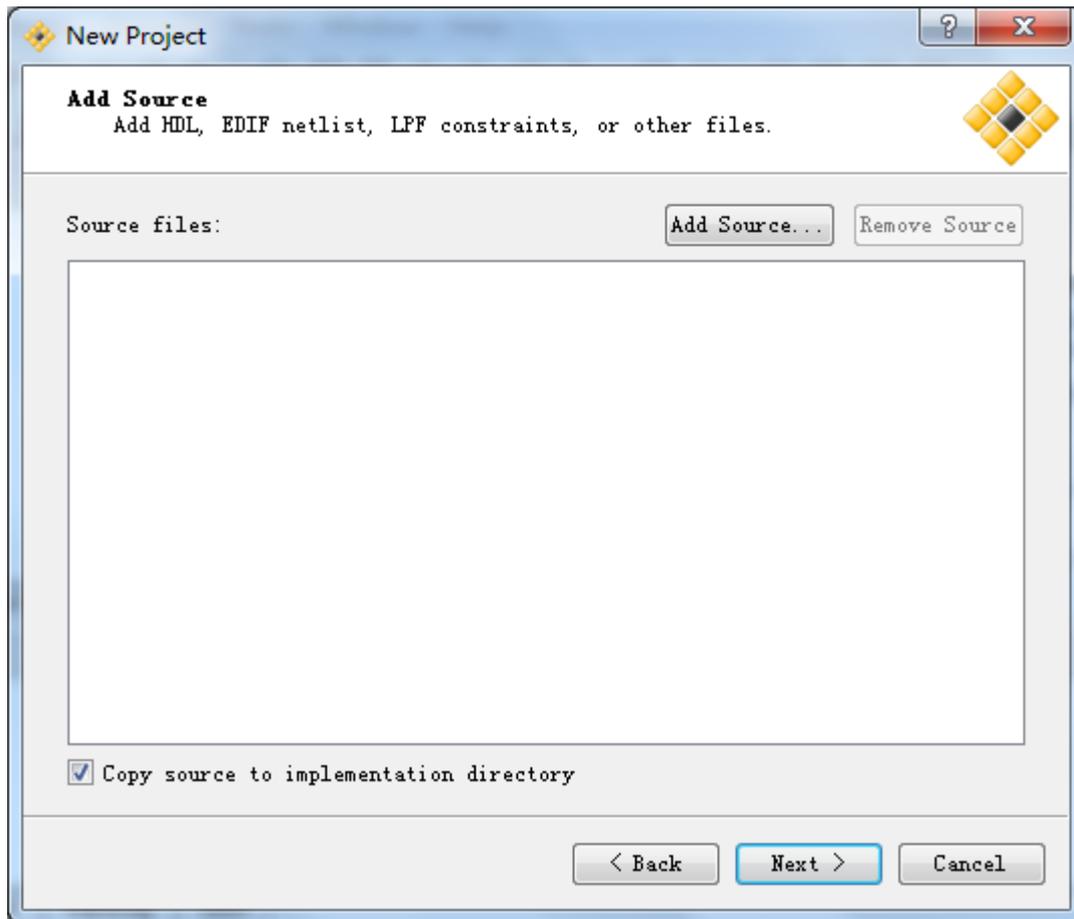
2、创建新工程，点击 Next，开始工程设置。



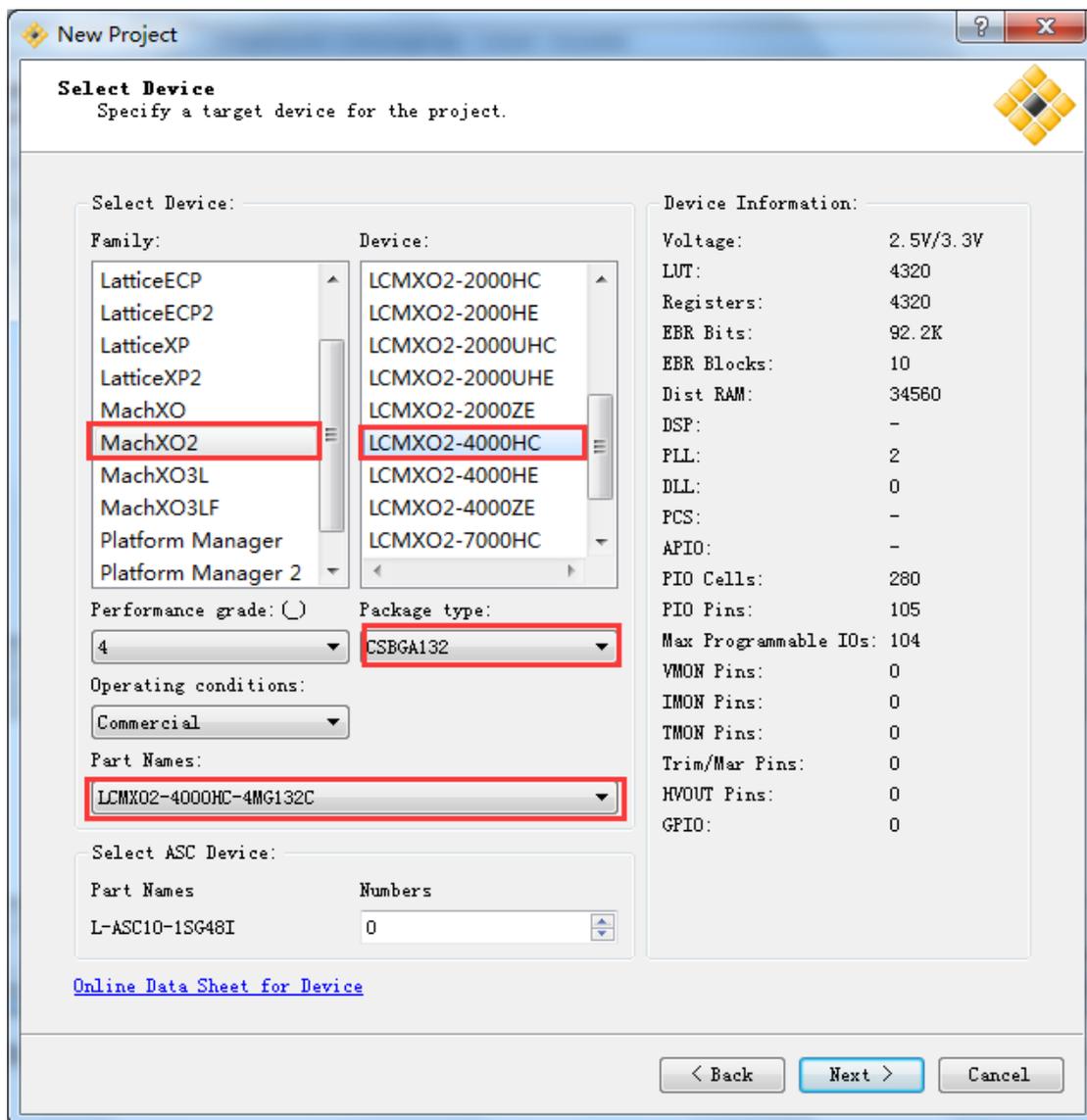
3、设置工程名称和工程所在路径，此处要注意：工程路径必须创建并选择工程文件夹，否则所有相关文件均会在上一层目录中。如本例，若路径仅选择 E:/Step_FPGA，则 And_Gate 工程所有文件均保存在 Step_FPGA 中。完成设置后点击 Next。



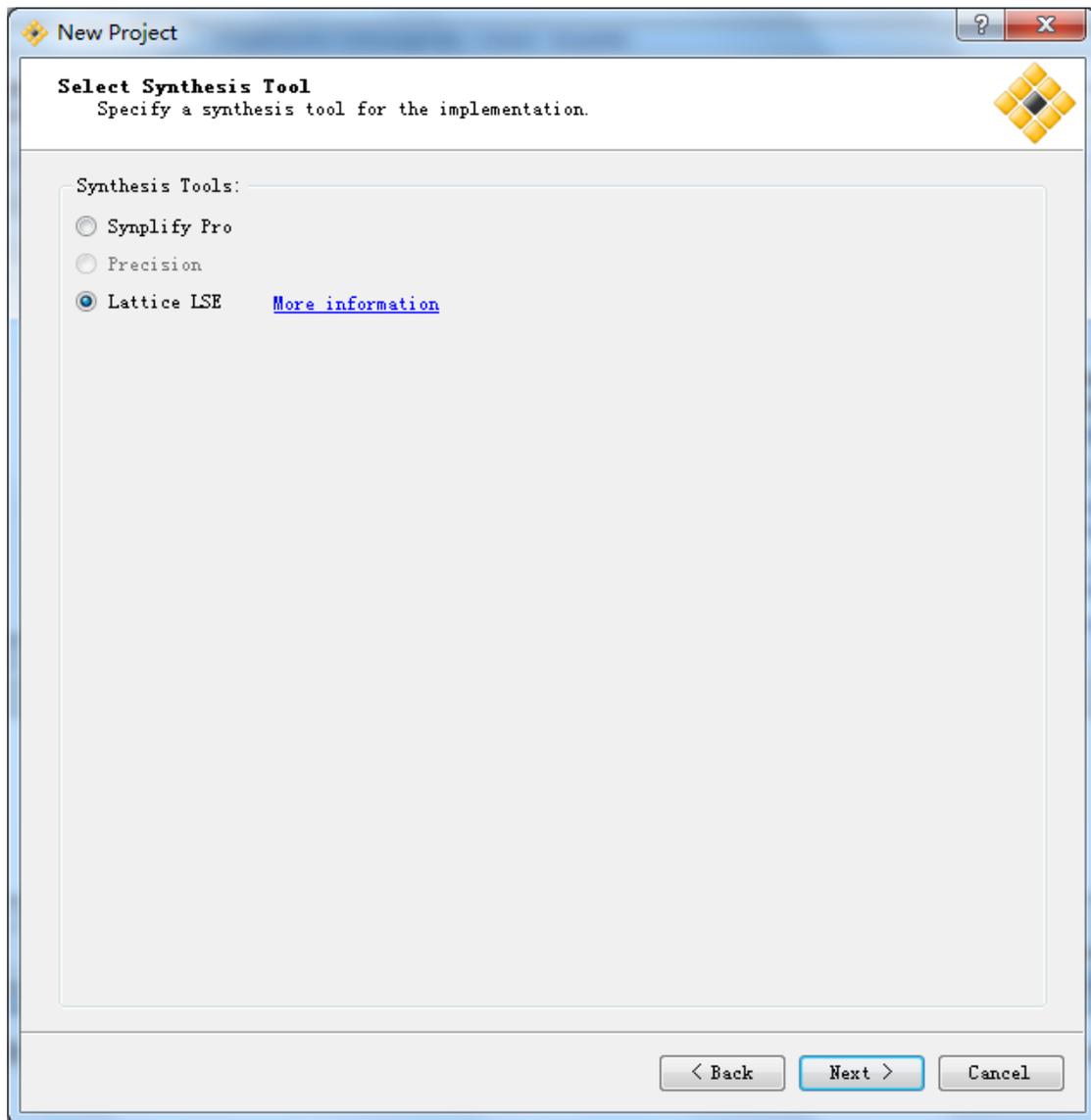
4、添加相关设计文件或约束文件。有必要提醒：务必勾选 Copy source to implementation directory，否则会影响原文件。若无需添加则直接 Next。



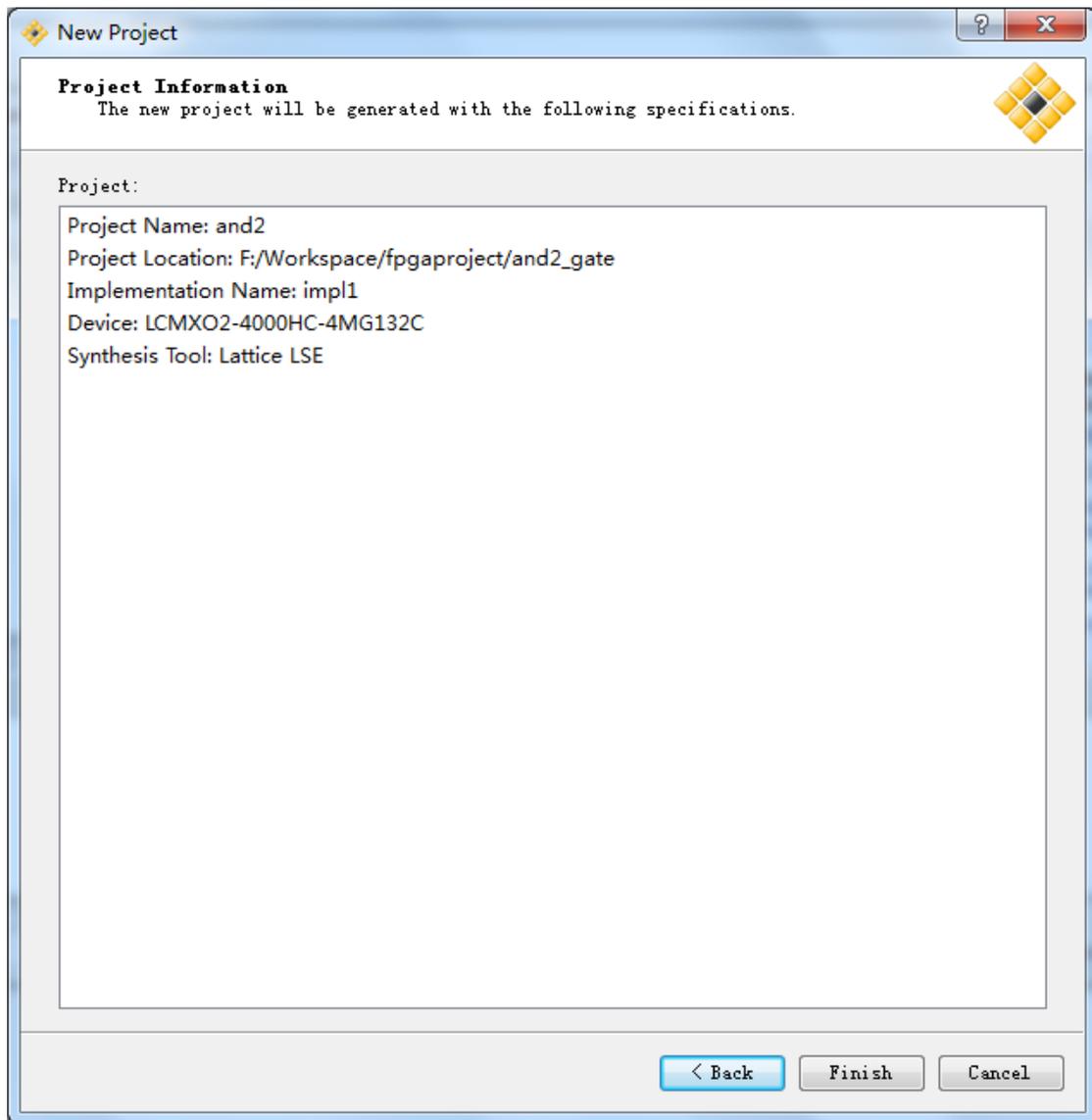
5、器件选择：LCMXO2-4000HC-4MG132C。务必按照下图所示选择。完成设置后点击 Next。



6、综合工具选择，可以选择第三方综合工具，但本人一般使用原厂综合工具，故默认设置。直接 Next。

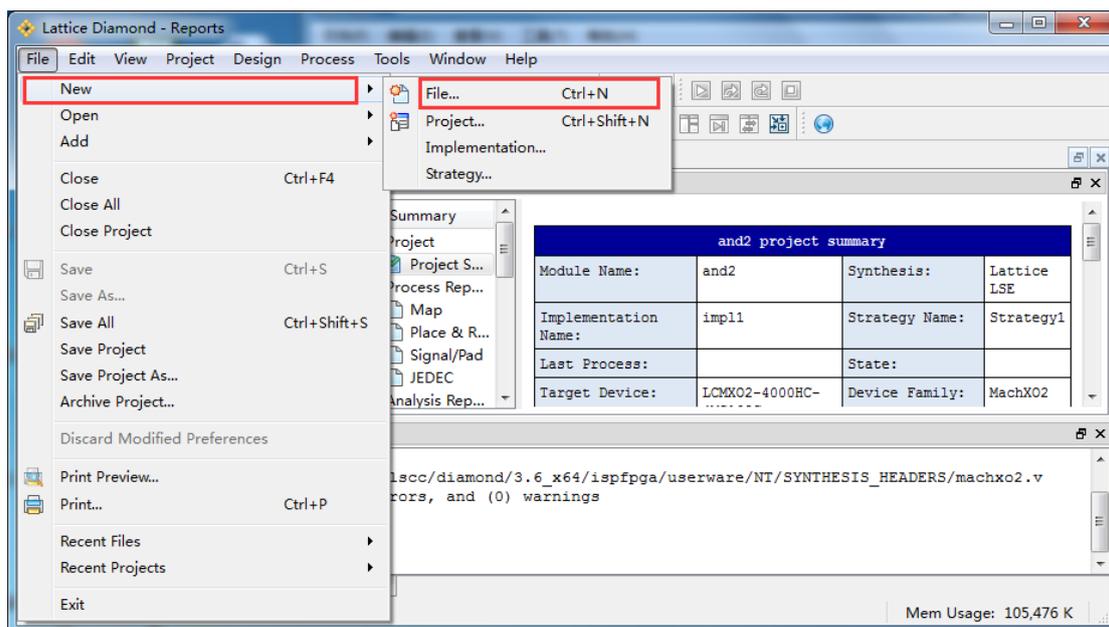


7、当看到下图，说明工程创建已经完成。点击 Finish 就 OK 了。

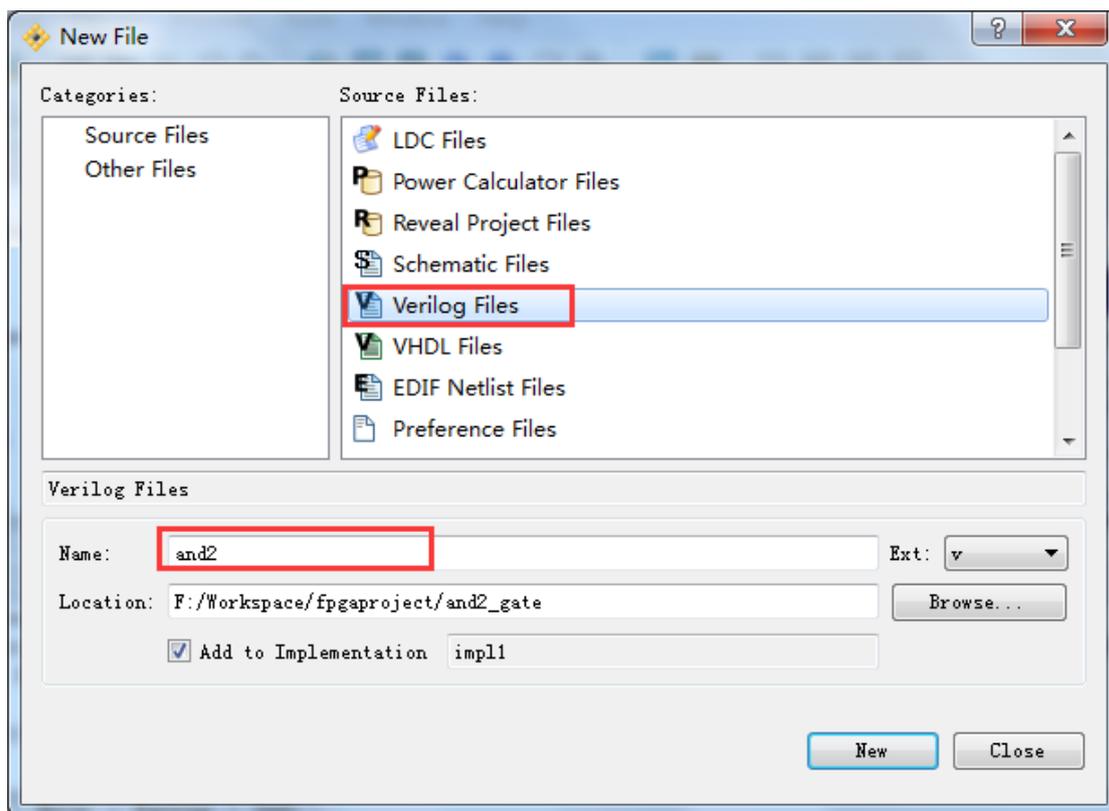


3.2 添加设计文件

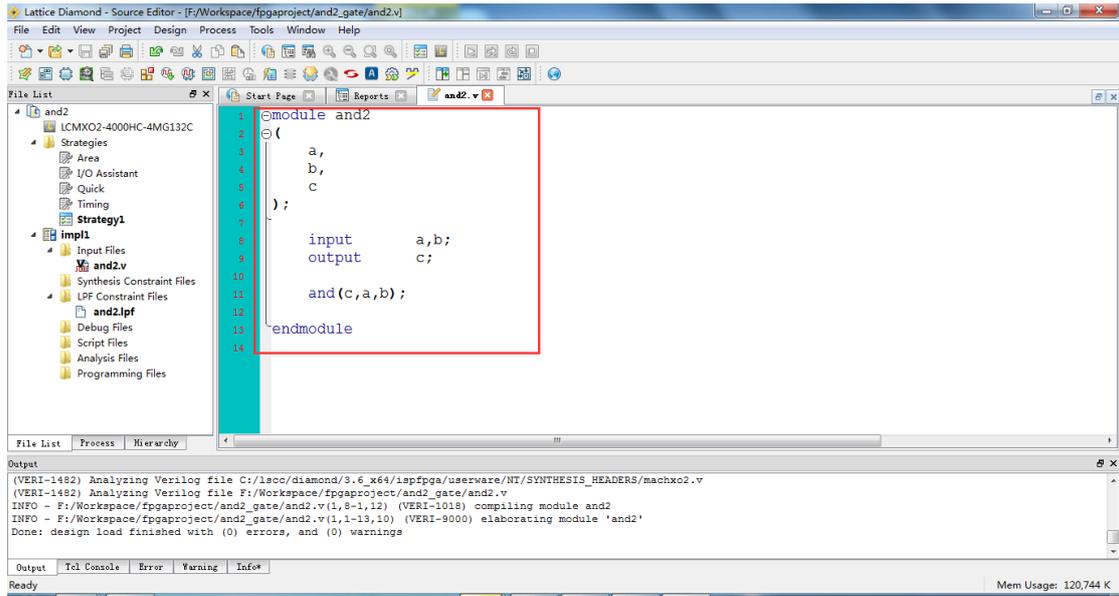
- 1、在 Diamond 软件面板上，选择 File>New>File，进行新文件创建。



2、在文件创建界面，选择合适的文件类型。本文添加 Verilog HDL 设计文件。选好类型，设置文件名称。点击 Yes，完成创建。



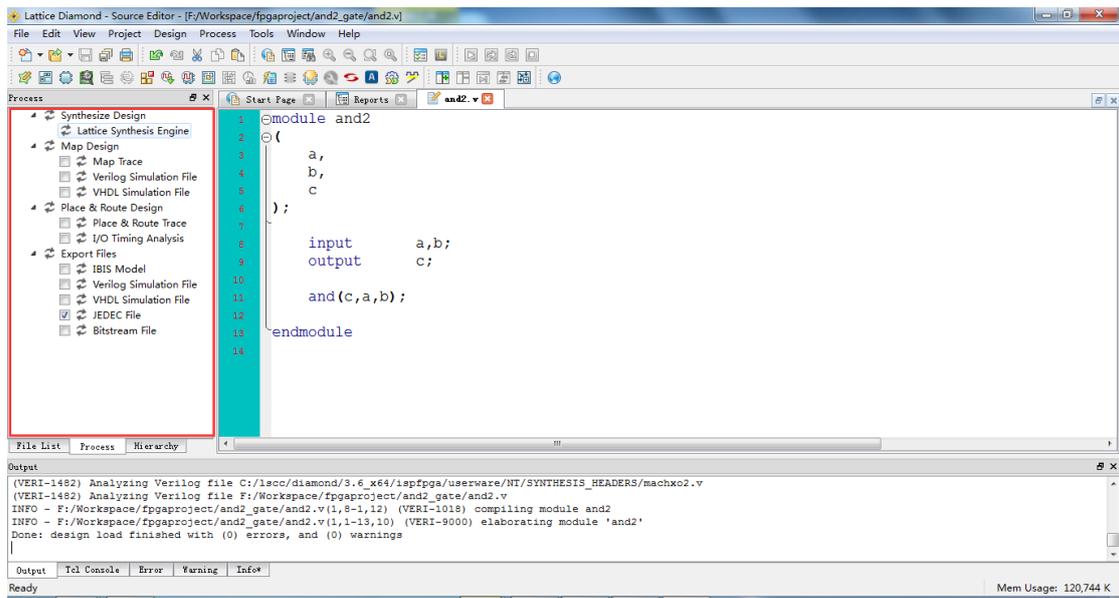
3、在新创建的 Verilog 文件中进行 Verilog HDL 代码编写。编写完成后，保存。IDE 自动将模块更新到左侧 Hierarchy(层次)窗口。



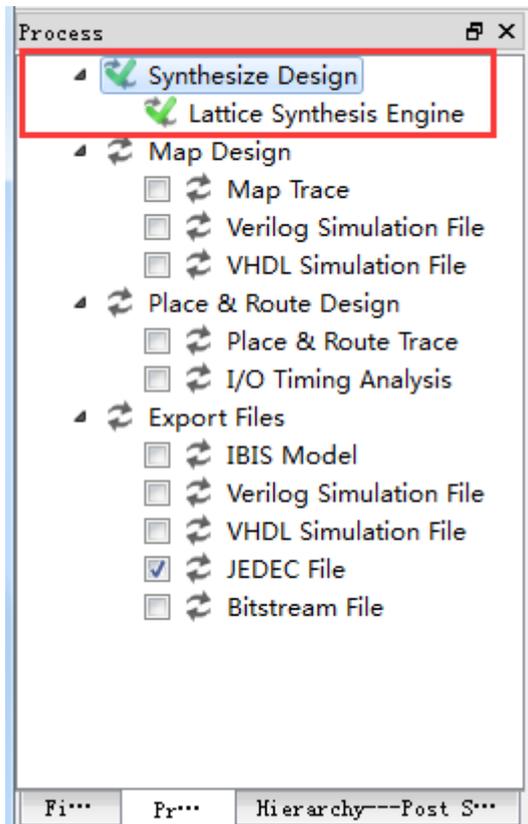
代码如下：

1. module and_gate(
2. input wire a,b,
3. output wire c
4.);
- 5.
6. and(c,a,b);
- 7.
8. endmodule

4、编写好代码，需要进行验证。在 IDE 左侧，选择 Process。双击 Synthesis Design，对设计进行综合。



若设计没有问题，在选项前面会有绿色的对号。。若出错都是红色的叉叉。。还不知道如果是警告会是什么符号，黄色的叹号？

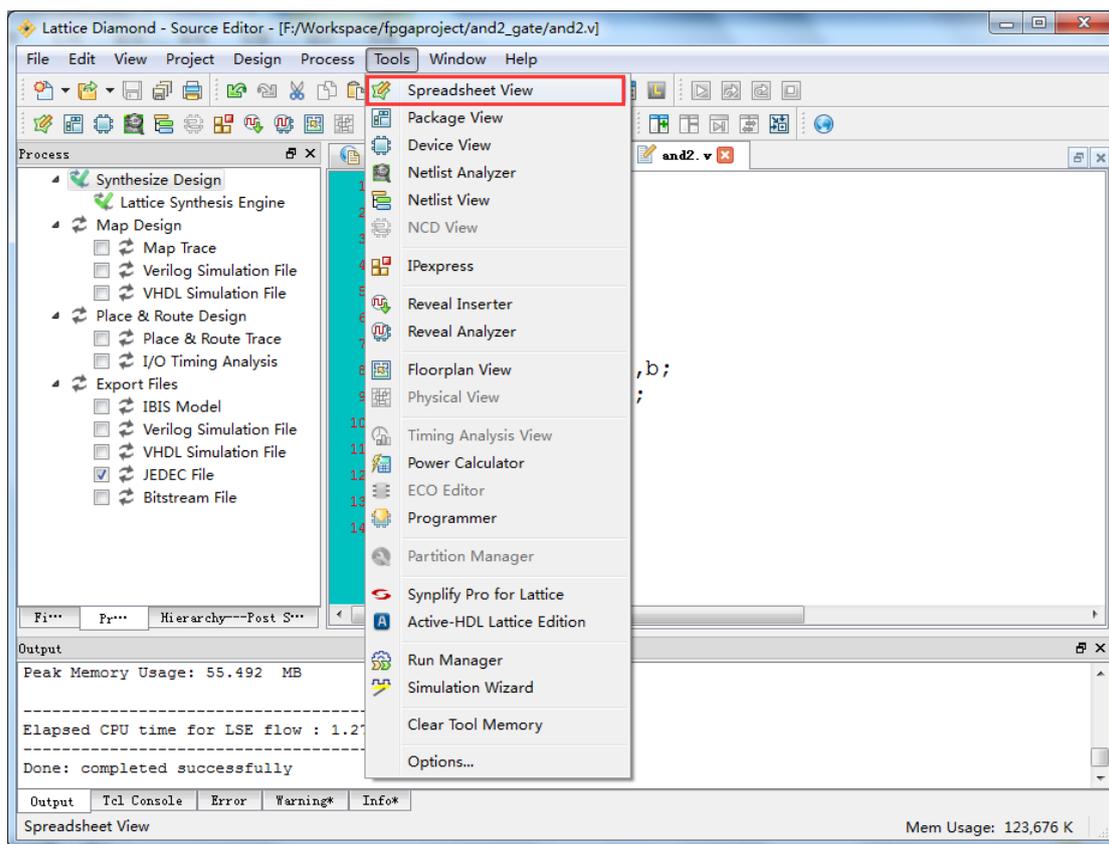


3.3 管脚分配

1、在工具栏中选择第三行第一个图标，点击即可进入管脚分配界面。



或者选择 Tools->Spreadsheet View

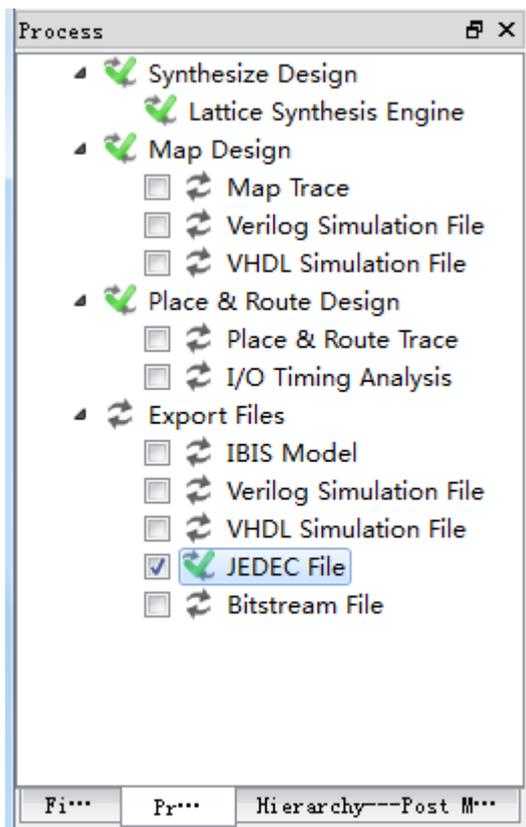


2、管脚设计需要的约束如下。a---key1,b----key2,c----led1。完成设置后，Ctrl+S 保存设置。

	Name	Group By	Pin	BANK	BANK_VCC	VREF	IO_TYPE	PULLMODE	DRIVE	SLEWRATE	CLAMP	OPENDRAIN
1	All Ports	N/A	N/A	N/A	N/A	N/A	LVCMOS33		N/A	N/A		
1.1	Input	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
1.1.1	a	N/A	L14	1	Auto	N/A	LVCMOS33	DOWN	NA	NA	ON	OFF
1.1.2	b	N/A	M13	1	Auto	N/A	LVCMOS33	DOWN	NA	NA	ON	OFF
1.2	Output	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
1.2.1	c	N/A	N13	1	Auto	N/A	LVCMOS33	DOWN	8	SLOW	OFF	OFF

3.4 生成编译文件与下载

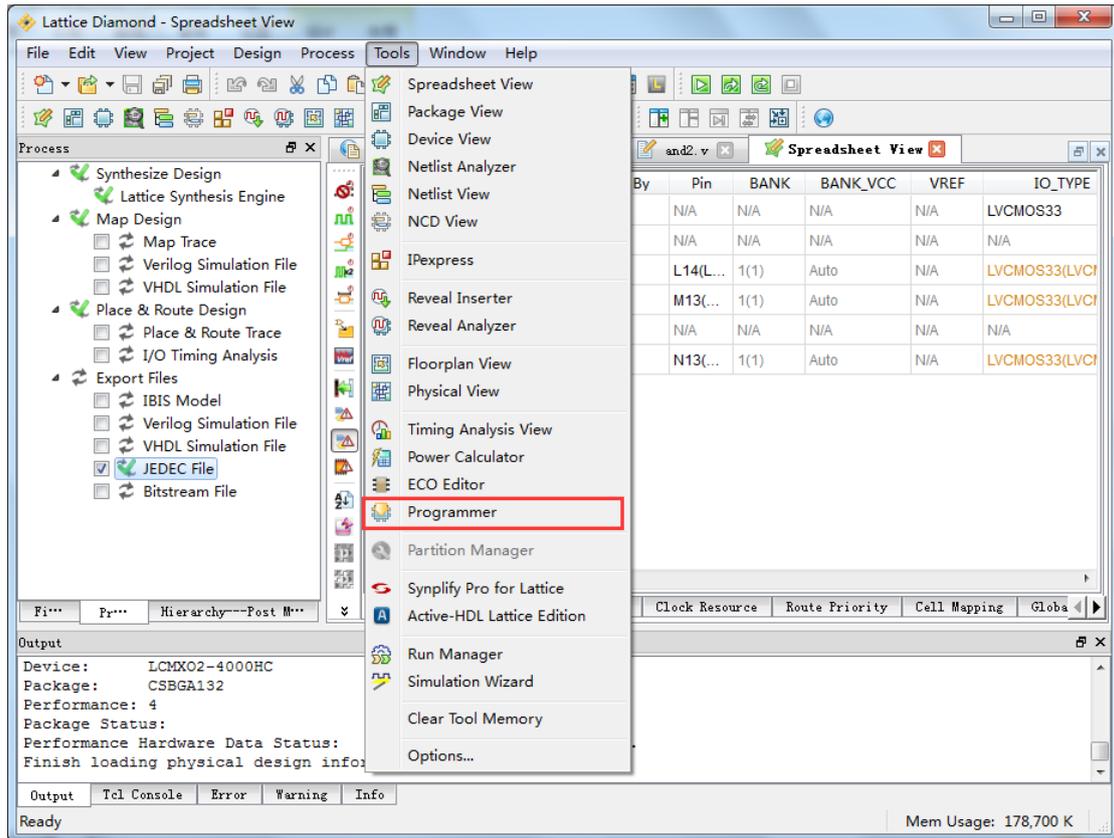
1、由于本设计极其简单，故没有将仿真、布局、布线、生成编译文件一步一步介绍给大家。在此，想告诉大家，若设计简单可直接生成编译文件。



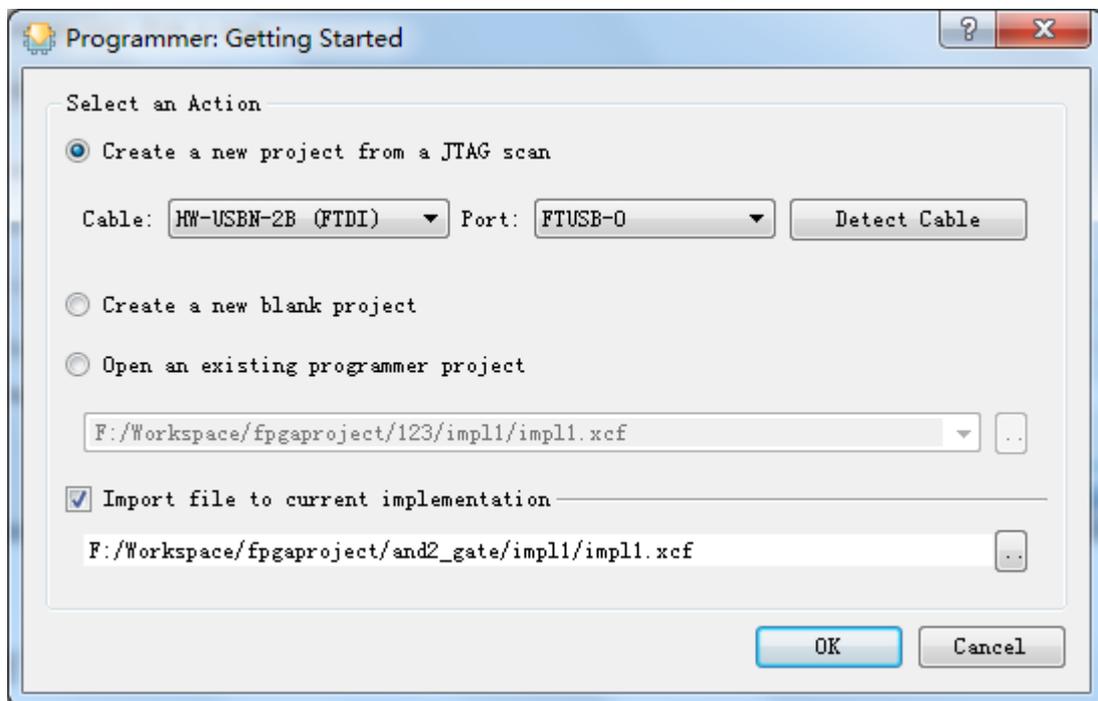
2、完成编译后，则可以将编译文件下载到板卡上测试了。选择工具栏第三行  图标。



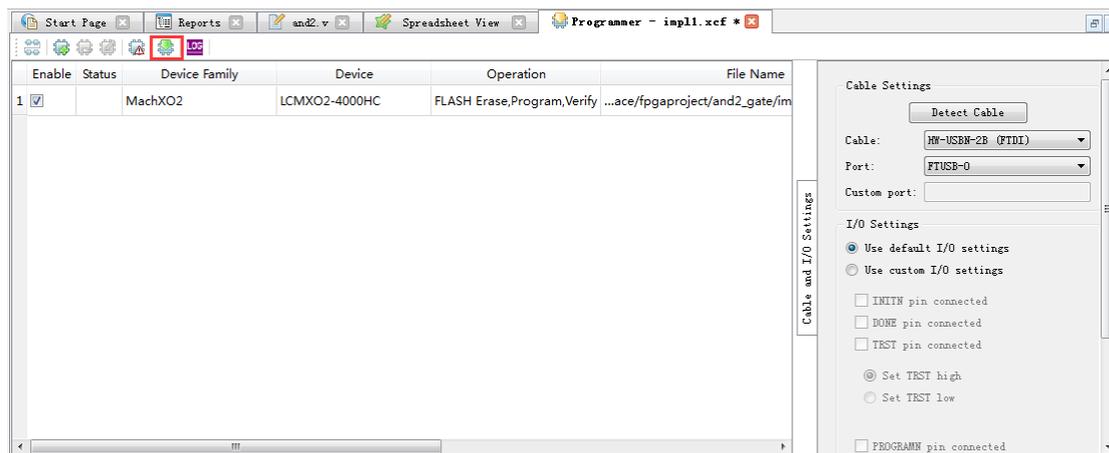
也可以选择 Tools->Programmer,



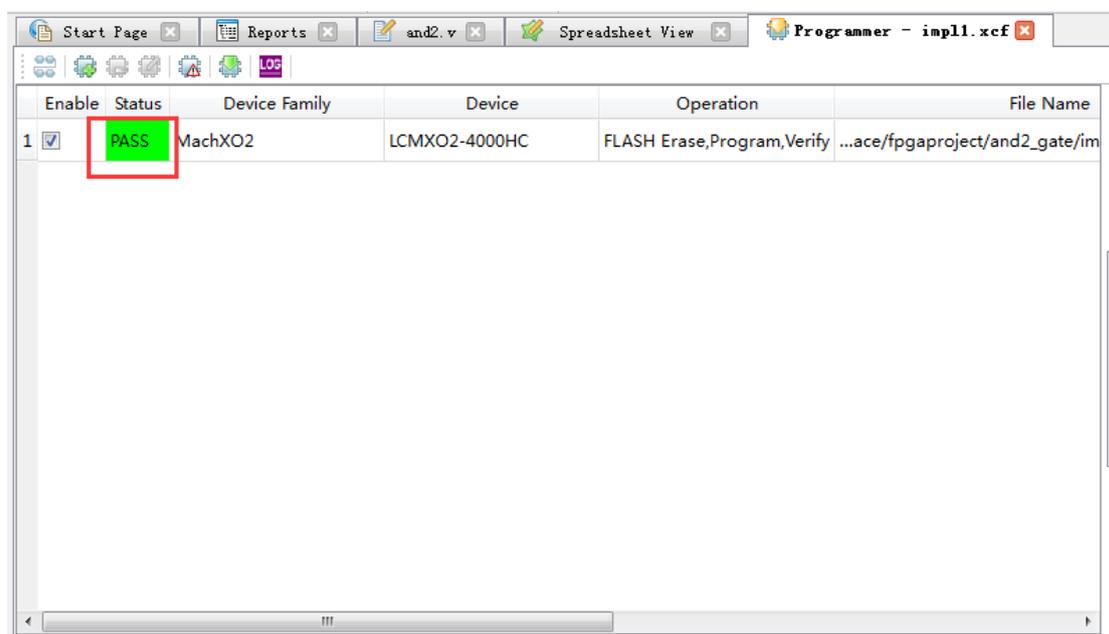
3、在进入 FPGA 编程前，IDE 会检测调试工具，如下图。调试工具正确安装驱动后，会自动识别，因此选择默认即可。



4、进入编程下载界面后，点击界面中  图标。



5、下载完成后，界面显示 PASS。



至此，新工程从创建到综合实现，再到编译下载都已完成。

接下来就是看看下载到小脚丫上的程序运行结果了。实例是一个简单的二输入与门逻辑，利用两个按键（key1、key2）来控制 LED 灯（led1）的亮灭。在 FPGA 板上 led1 的信号为高时，led1 不亮；当 led1 的信号为低时，led1 点亮。而按键 key1 和 key2 初始状态是高，当按键按下时信号变低。所以程序运行后，按任意一个键或者两个键同时按下，led1 变亮；否则的话，led1 应该不亮。

3.5 小结

总结一下 FPGA 的一般开发步骤：

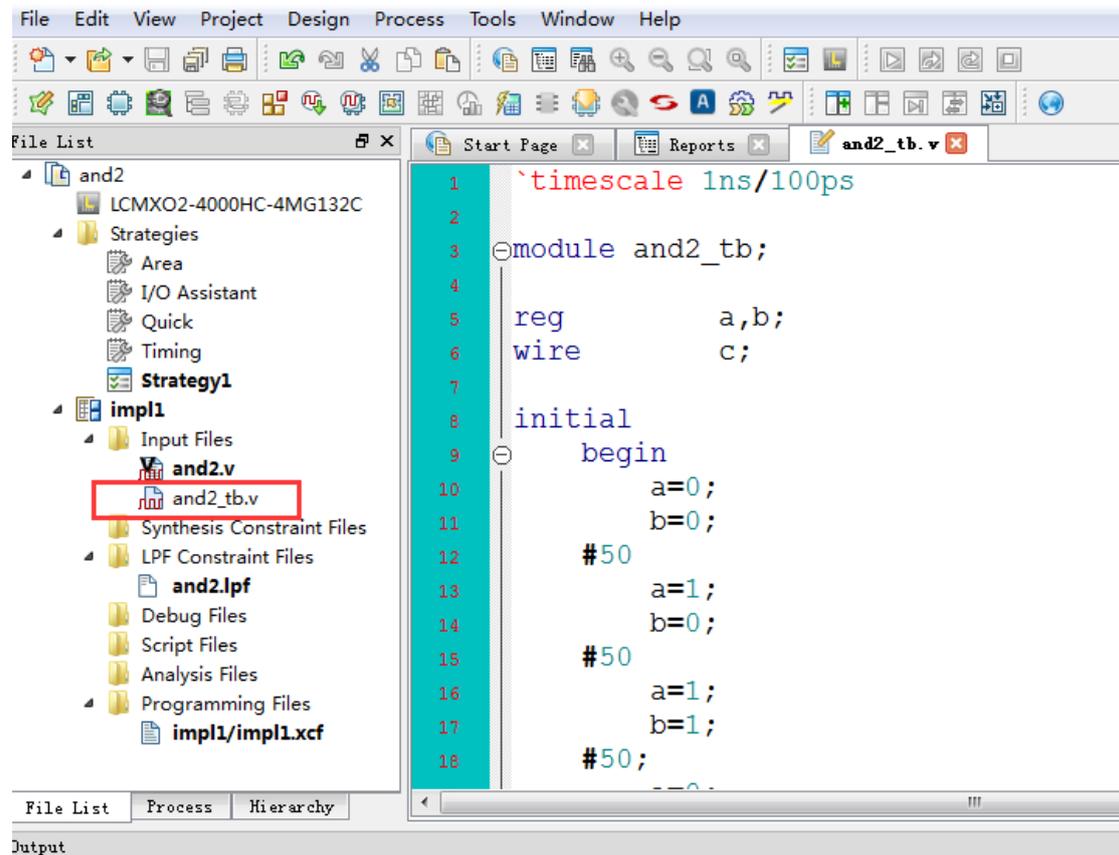
- 1、建立工程，包括工程路径、芯片选型
- 2、源文件输入，一般有图形和文本输入两种方式，文本的话，一般公司使用 Verilog 较多吧
- 3、编译综合 (Synthesis)，将行为和功能层次表达的电子系统转化为低层次模块的组合，一般可以查看系统的 RTL 层次图
- 4、添加约束，包括分配管脚，可以使用图形和文本输入两种方式
- 5、实现(Implementation)，实现逻辑网表文件，布局布线
- 6、验证 (Verification)，包括时序仿真和功能仿真，一般会结合 ModelSim 编写 testbench 进行测试
- 7、生成下载的 bitstream 文件
- 8、下载工程文件到开发板，包括仿真器连接和配置
- 9、效果演示

比较简单的工程可以省略其中的一些步骤，直接上板看效果。

4. 仿真工具 Active-HDL

FPGA 设计里还有一个重要的步骤就是仿真，Diamond 软件开发环境同时集成了 Active-HDL 工具，下面看看如何进行功能仿真

- 1、首先新建一个 testbench 文件，方法和新建 Verilog 源文件一样。我们命名为 and2_tb



2、testbench 测试文件内容如下：

```

`timescale 1ns/100ps
module and2_tb;
reg          a,b;
wire         c;
initial
begin
    a=0;
    b=0;
    #50
    a=1;
    b=0;
    #50
    a=1;
    b=1;
    #50;
    a=0;
    b=1;
end
and2 and2_u1(
    .a      (a),
    .b      (b),

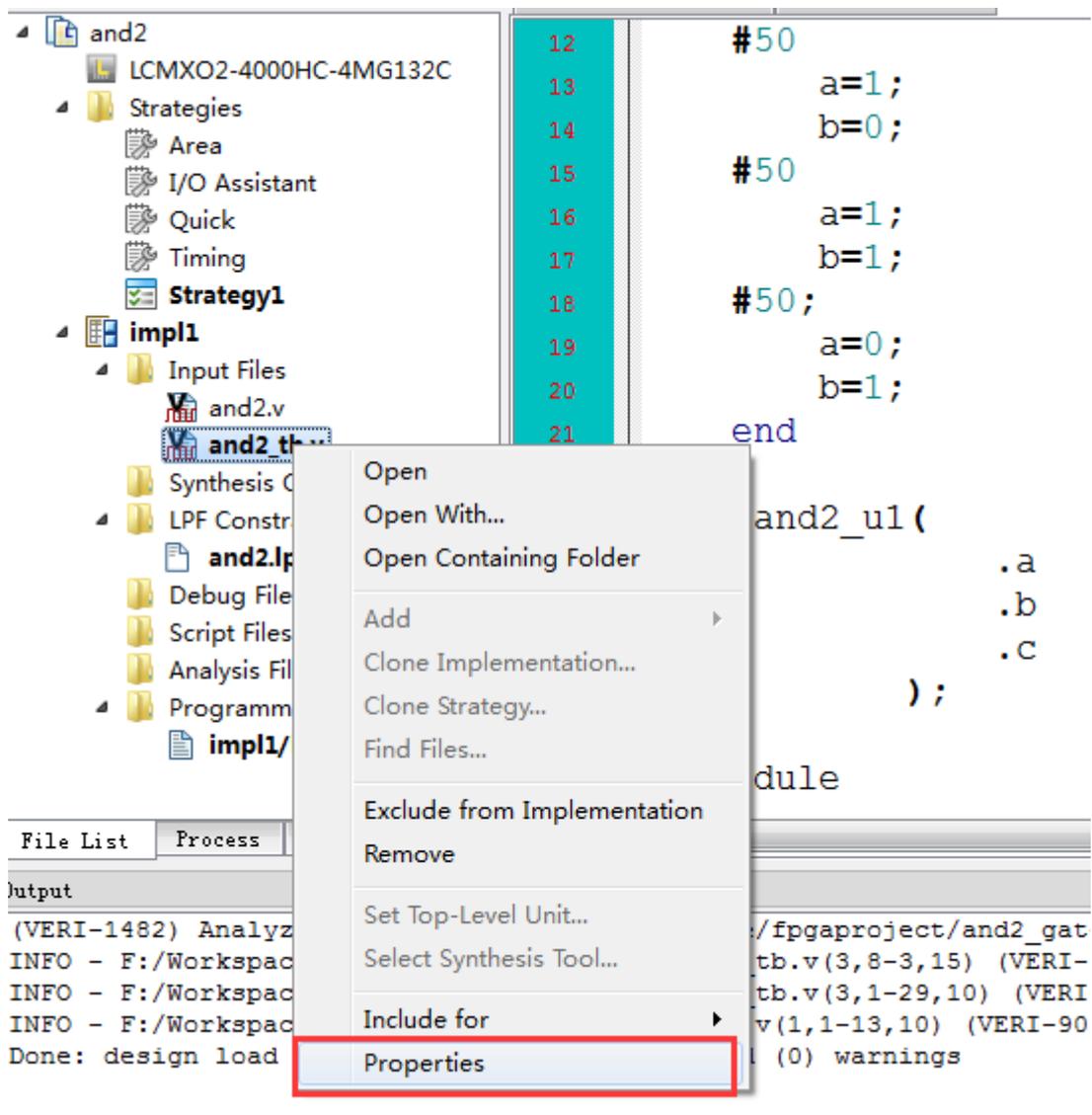
```

```

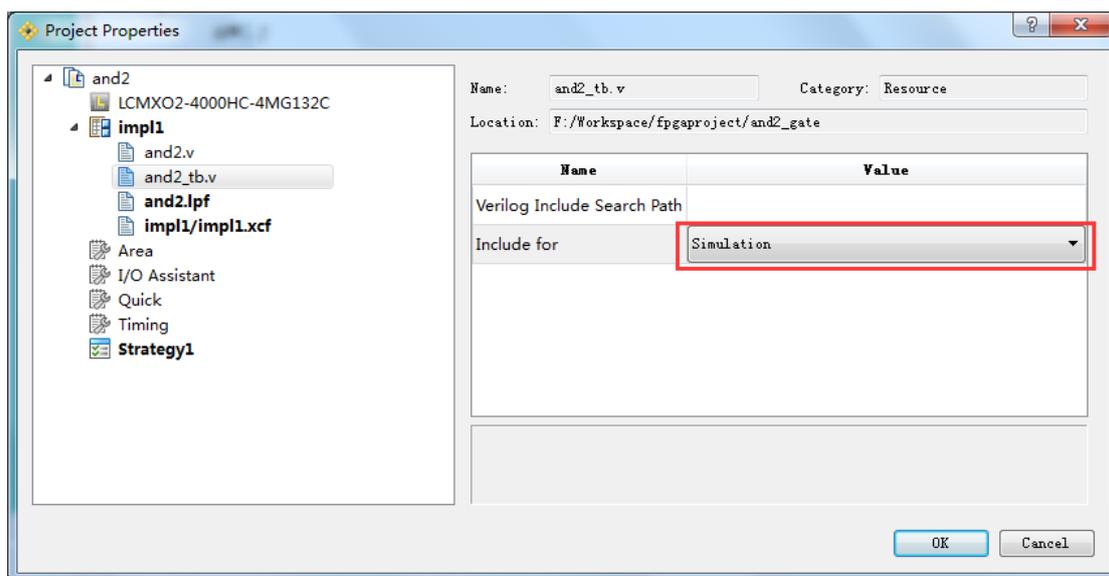
        .c      (c)
    );
endmodule

```

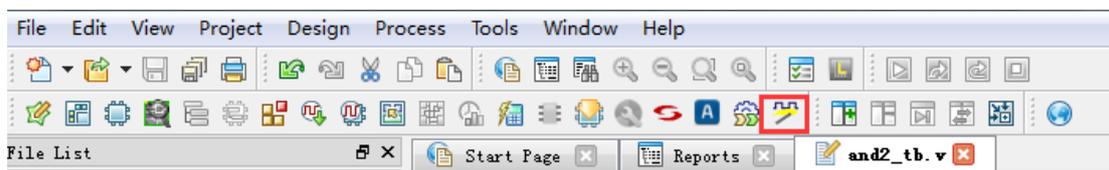
3、这里需要注意的是测试文件只是用来仿真的，很多语句是不可综合的，所以要设置文件的属性。在工程目录里右键点击 `and2_tb` 文件，



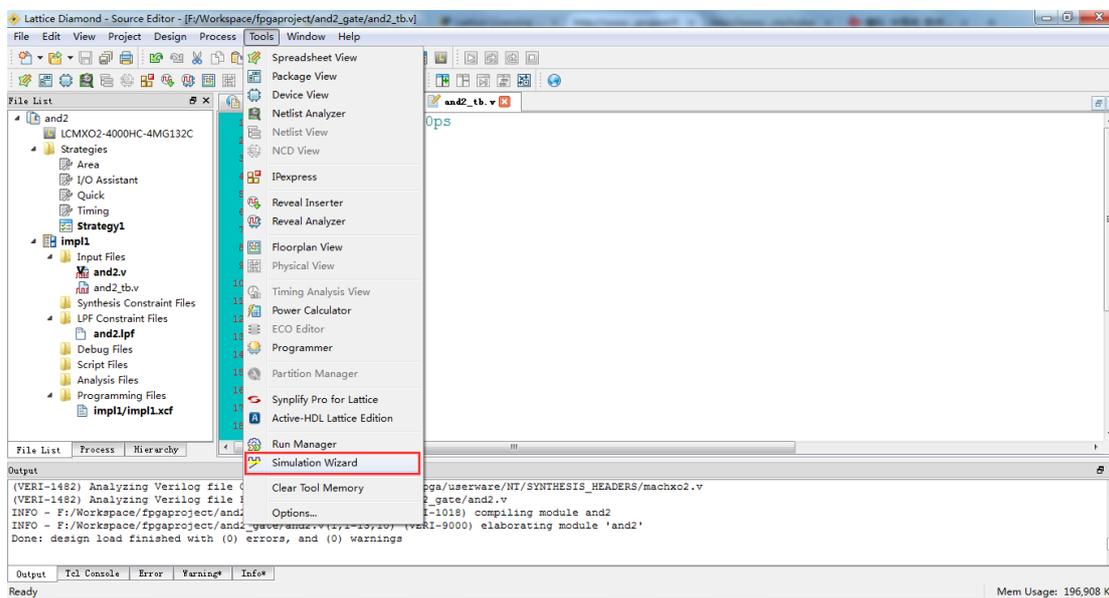
弹出一个属性窗口，把测试文件属性值改为 `simulation` 表示只做仿真。



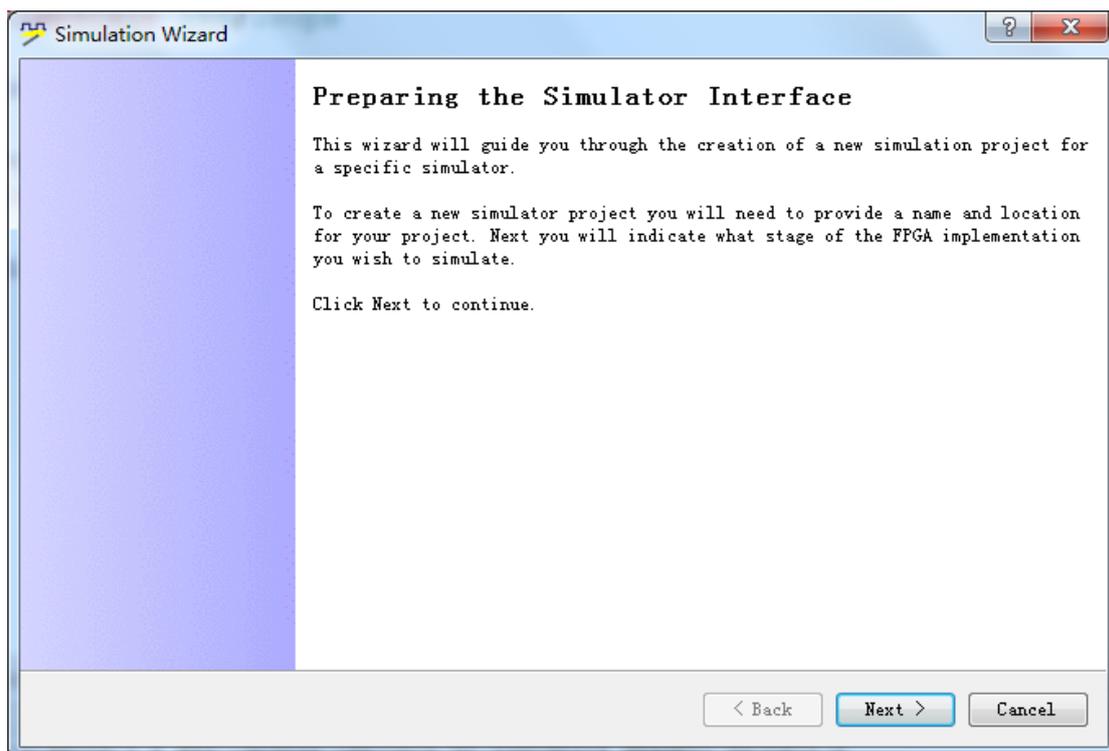
4、点击工具栏的仿真向导按钮,



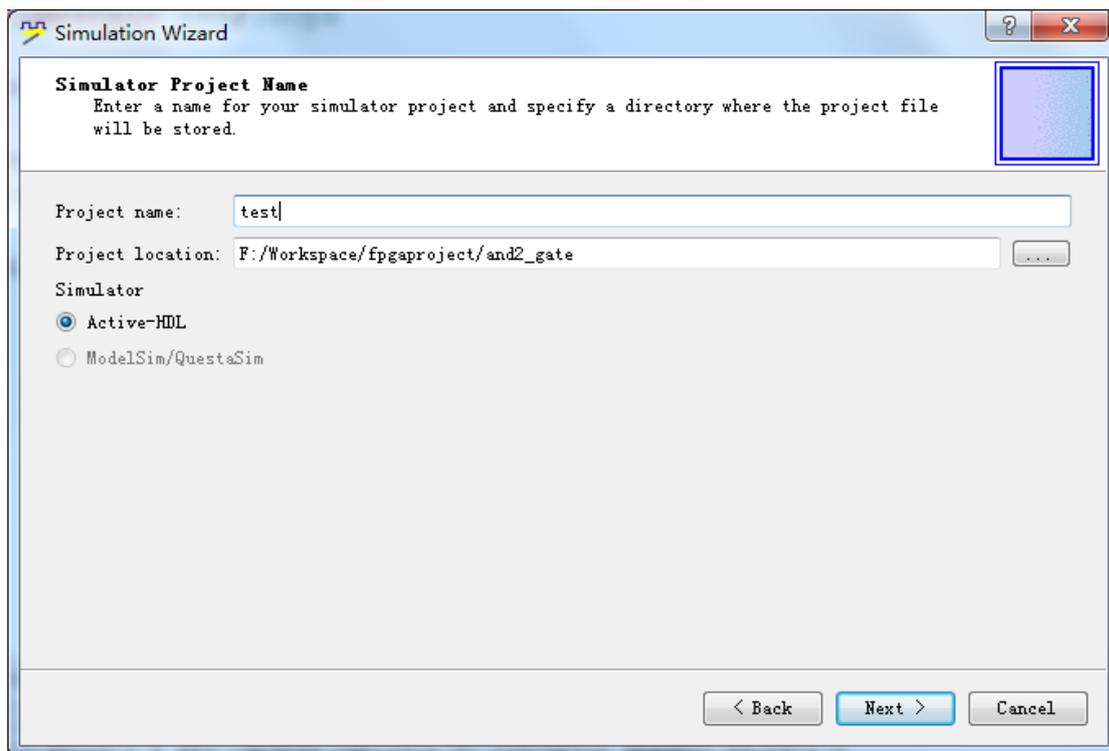
或者是 Tool->Simulation Wizard



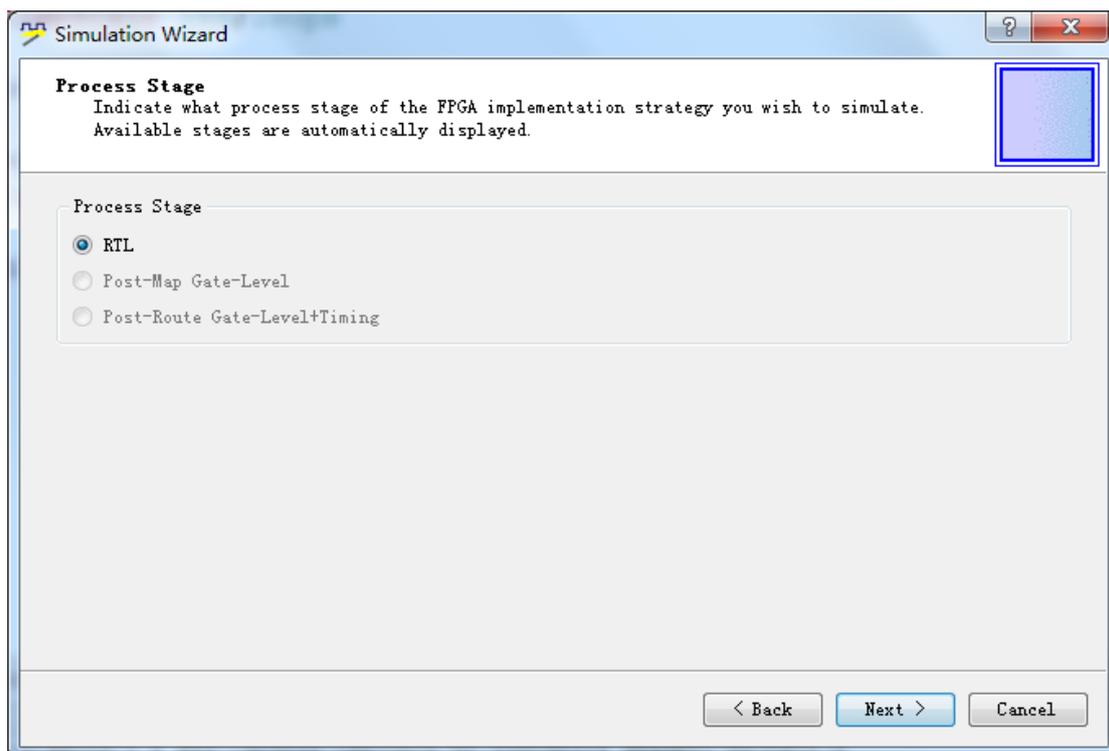
5、弹出仿真向导窗口，



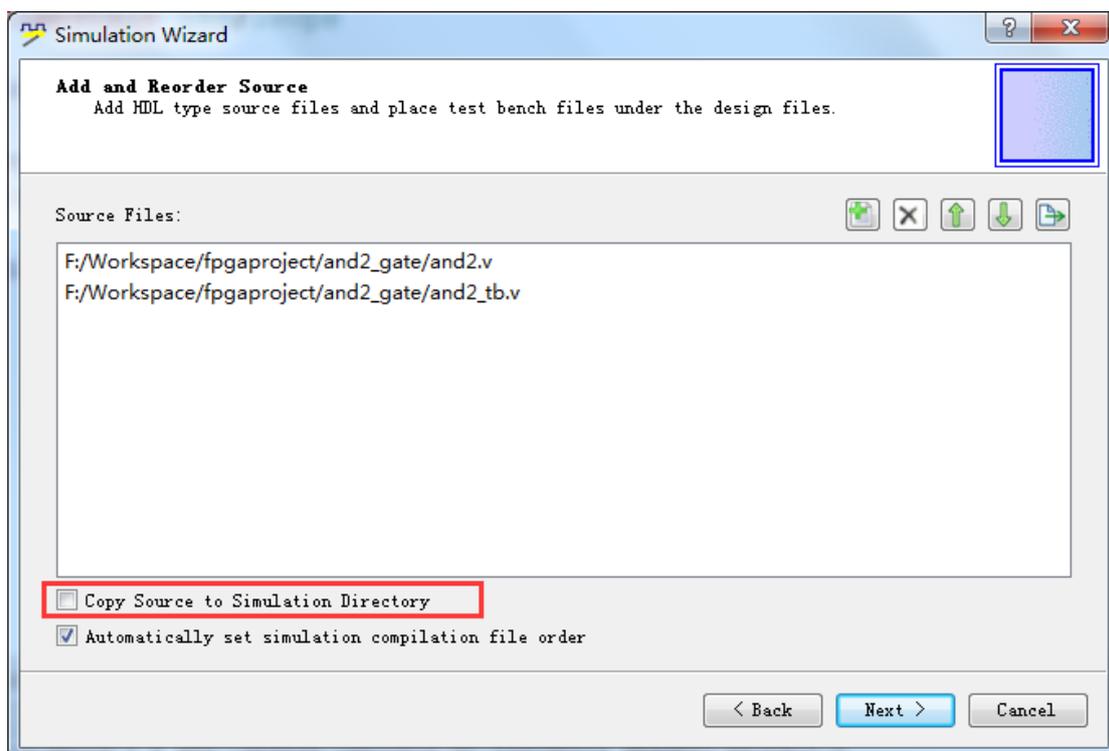
6、给仿真的工程去一个名字，



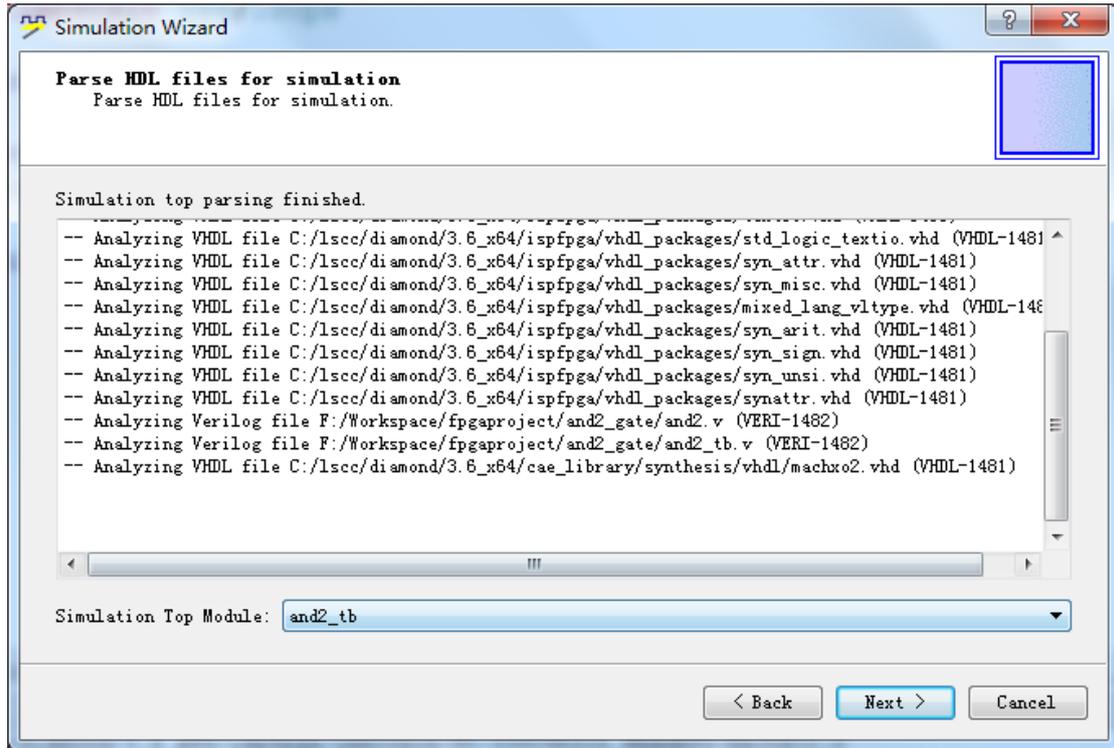
7、选择仿真的阶段，这里是功能仿真，所以只能选 RTL 级。



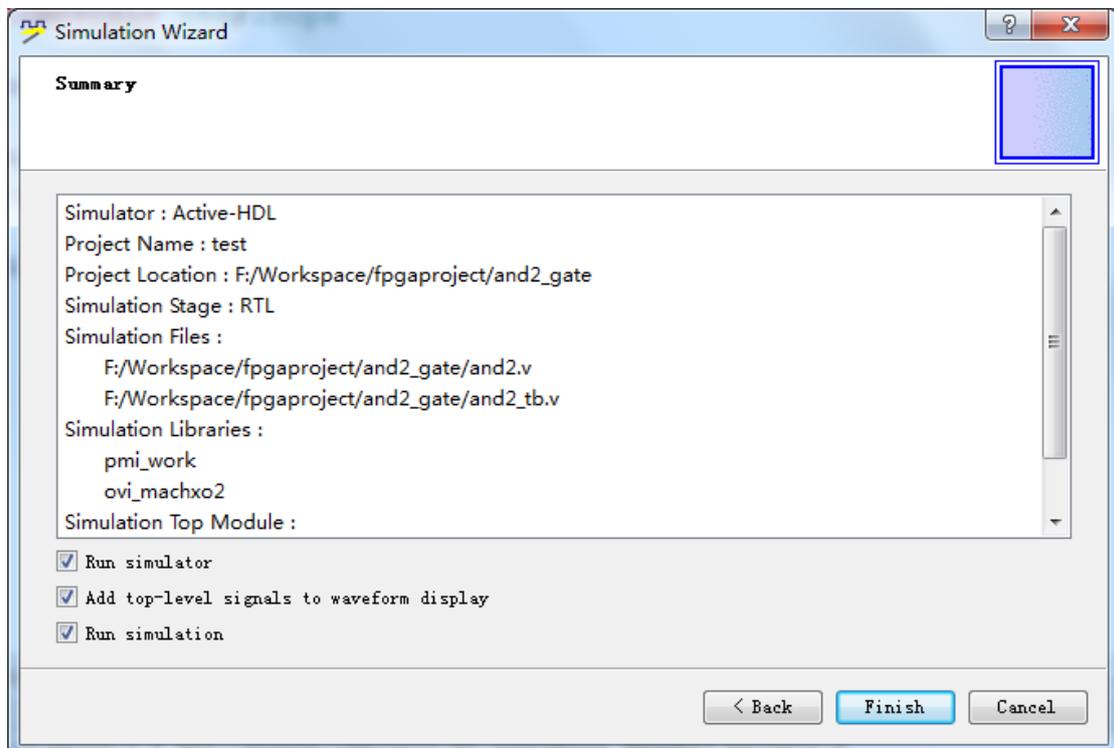
8、选择添加或者删除所要仿真的源文件和测试文件，如果确认了 Copy Source to Simulation Directory 选项，将会拷贝源文件到仿真工程目录。



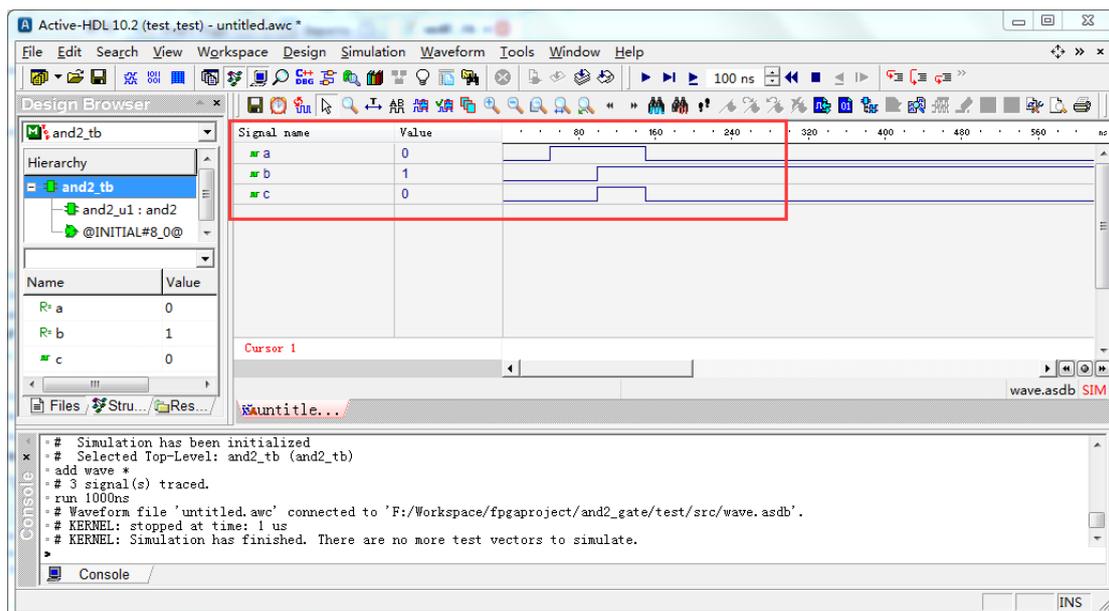
9、仿真工程列表，如果有多个测试文件可以选择顶层测试文件。



10、仿真工程项目创建完成，如果下方选项确定，将会在完成后自动执行仿真并显示波形文件。



11、完成仿真向导后，执行方针显示仿真后波形。



5. 版本

版本号	修改日期	修改
V1.0	2016/8/28	初始版本
V1.1	2017/1/20	修订微小错误